

科技部工程司
108年度「電子設計自動化研發專案計畫」
徵求公告

壹、前言

電子設計自動化(EDA)是電子業與半導體產業不可或缺的技术，臺灣EDA研究學群發表於EDA公認最頂尖的國際會議DAC和ICCAD，近十年來排名已躍居為全球第二，相關競賽總成績也屢為全球之冠，特別是實體設計(Physical Design)與設計可製造化(DFM)領域之學術成就等，已受到國際媒體之重視與肯定(如EE Times等)。

為因應後摩爾定律的挑戰，美國於2018年啟動「電子復興計畫」(ERI, Electronic Resurgence Initiative)，主要透過電路專業化(circuit specialization)去針對後摩爾定律階段衍生的複雜性進行專案研發，五年經費由美國國防部高級研究計畫局(DARPA)出15億美元和國會配合1.5億美元，重振美國半導體IC設計和電子設計自動化。

ERI計畫分成三個重點，(1)結構、(2)設計及(3)材料與元件整合，其中，(1)結構包含軟硬體晶片系統(SDH及DSSoC)，(2)設計包含電子裝置的智慧設計(IDEA)和開源硬體(POSH)，(3)材料與元件整合包含三維晶片系統(3DSoC)和新穎計算的材料(FRANC)。ERI主要推動設計之兩大計畫，其中IDEA計畫旨在建構全自動化/24小時完成的晶片設計流程，而POSH計畫旨在用開源的方式，實現複雜SoC的低成本設計。由此可知，ERI的核心技術是電子設計自動化，這是臺灣最強的領域之一，本專案計畫除根據國內研究發展需求，扎根強化既有核心技術外，將因應ERI及未來EDA與電子產業變化之發展方向，開拓新技術發展如人工智慧EDA、異質整合等相關技術，持續帶動國內EDA領域之研究發展及保持國際領先地位。

貳、國內外發展現況

一、國際發展現況

美國國防部高級研究計畫局(DARPA)於2018年啟動「電子復興計畫」(ERI, Electronic Resurgence Initiative)五年，計畫項目共分成三個重點，(1)結構、(2)設計和(3)材料與元件整合，其架構如下圖1所示。

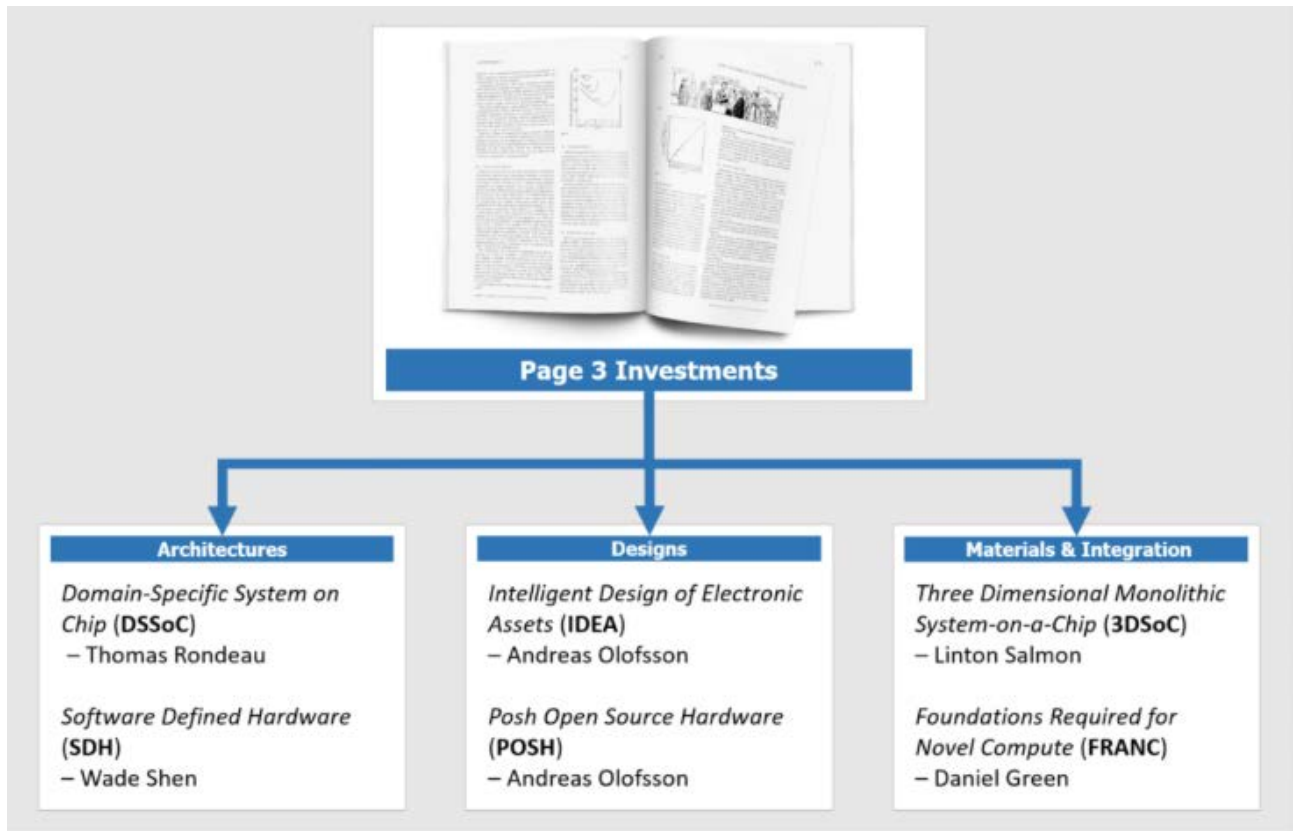


圖 1、DARPA ERI 計畫架構圖[1]

首先，Intelligent Design of Electronic Assets (IDEA)旨在創建一個「無需人工參與」(No human in the loop)的晶片布局規劃(Layout)生成器，讓任何晶片設計者能在一天內完成晶片設計。

而Push Open Source Hardware (POSH)旨在將開源的文化 and 能力，帶入硬體設計領域，用開源的方式，實現以低成本設計出複雜晶片。為了讓定製化、高性能的 SoC 系統更加普及，POSH 計畫需求開發可持續的開源 IP 生態，以及相應的驗證工具。

Software Defined Hardware (SDH)計畫的目標，是構建運行時可基於所處理數據即時重新配置的軟硬體，可針對數據密集之應用，兼顧性能、多功能性和可重構性。

Domain-Specific System on Chip (DSSoC)計畫的目標是開發一個可程式化框架，用來快速開發多用途的系統晶片。這個框架，要讓

SoC 設計者更容易針對特定領域的問題，將通用處理器、專用處理器、硬體加速器、儲存、I/O 等結合起來。

3D Monolithic System-on-Chip (3DSoC) 計畫的目標即為先進 3D SoC 之異質整合技術，藉由實現層間計算、數據存儲、輸入和輸出等功能結構。可以快速擷取大量數據，並在單一 SoC 上直接存儲，實現同時數據取得與快速處理。

最後，Foundations Required for Novel Compute (FRANC) 計畫的目標是新一代儲存器架構及其材料與非揮發性器件，包括 Process in memory (PIM) 等技術。

除美國 ERI 計畫之外，德國在系統層級設計(System-Level Design)、網宇實體系統(Cyberphysical System) 相關設計自動化也取得技術上之領先，在國際學術研究上，近年來 DAC 及 ICCAD 已增加許多 Machine Learning/AI 及 Security 的論文，這些主題已經是國際 EDA 技術發展之潮流。近年來中國大陸於 EDA 的投資力道非常強，除國家投入半導體大基金外，在各省也有上億人民幣之投資，此外，大陸投入 EDA 相關研究的高校越來越多，在頂尖國際會議上之排名急起直追。

二、國內發展現況

國內 EDA 之應用在半導體相關產業幾乎無所不在，例如晶圓專業代工(台積電、聯電等)、IC 設計公司(聯發科、聯詠、瑞昱、奇景等)、設計服務公司(創意、智原等)、封裝公司(矽品、日月光等)、EDA 公司(Synopsys、Cadence、Maxeda 等)，研發領域除考量先進製程及低功耗之設計流程與 EDA 工具開發外，目前各公司皆已投入以人工智慧進行設計資料分析以及設計流程優化上。在國內學術界 EDA 的研發狀況，不管是從前端 Logic synthesis 到後端 Physical design/DFM 的研究，都已經有相當好的研究基礎。然而，相較美國 DARPA ERI 於 AI 技術導入 EDA 及開源技術之投入，臺灣還在剛起步之階段，面臨未來可能改變 EDA 產業生態之趨勢，臺灣不可缺席。長久以來，臺灣晶片業者較不注重設計驗證的重要性，以致於在先進驗證技術嚴重落後其他領先的國家。臺灣近期在創新應用如 AI、自駕車、5G 相關晶片及系統已有相當之投入，然而設計目標除以往節約晶片功耗及

設計成本外，未來在可透過軟硬體即時優化、可再編程性進而達到一個晶片多個應用之軟體定義硬體技術上，仍然缺乏配套之EDA技術。此外，臺灣也缺乏在機構設計自動化之布局，特別在 Thermal/Mechanical/Stress 等議題還是需要加緊腳步，臺灣有世界領先之封裝及記憶體廠商，經由公司的參與，可以幫助此領域之發展，如封裝設計自動化參考流程。最後，在異質整合環境下，其暴露潛在安全性之漏洞，在電路及系統安全研究上也需進行布局。國內 EDA 發展上仍然缺乏系統層級、創新架構、機構封裝等面向之 EDA 工具及解決方案，希望能透過此專案推動產學研界在相關技術上之研發能量。

同時，臺灣 EDA 研究在國際上的表現相當傑出，在 EDA 領域公認之最頂尖國際會議(DAC)的論文發表數量，臺灣已名列前茅並領先國際。

參、計畫目標

- 一、善用我國現有之半導體產業研發資源及能量，並利用與DARPA ERI計畫之合作，以達成國內EDA研究於國際上保持領先的目標。
- 二、推動產學研界在EDA技術上之研發能量，並開發AI技術、開源軟硬體、異質整合、軟體定義硬體之相關EDA技術。
- 三、整合國內產學研資源研發發展新興科技EDA，跟上國際腳步，讓世界各國看見臺灣在新興科技EDA領域的發展成果。
- 四、推動與產業界共同建立合作計畫及培育EDA之研發人才。

肆、推動議題

針對國內產業之技術缺口、DARPA ERI之重點目標以及學界的優勢研發能量，推動之重點議題分項如下。

- 一、人工智慧(AI)技術與EDA：全自動機器學習設計自動化工具或流程等。
- 二、異質整合之EDA：3D IC封裝技術參考流程等。
- 三、軟體定義硬體之EDA：可動態產生優化之處理器組態及機械碼等。
- 四、新興科技之EDA：EDA for quantum/silicon photonics等。

伍、計畫研發重點

申請人研提之計畫內容必須符合本計畫所列研發項目，包含(1)AI 技術與 EDA、(2)異質整合 EDA、(3)軟體定義硬體 EDA 及(4)新興科技 EDA 四個項目；研究團隊著重於技術之創新以及國際上或產業上之影響力，需訂定明確指標規格，各研發項目挑戰目標請參閱附件 1。

計畫內容必須聚焦下列 EDA 相關研究項目中一項目或跨項目整合：

一、AI 技術與 EDA

此研究主題恰好契合 DARPA ERI 之 IDEA 計畫，可藉由近期 AI 發展之新技術強化現有之 EDA 工具及 IC 設計流程結果，臺灣在這主題上相當有優勢，除臺灣學界在 AI 技術導入 EDA 已有一定之基礎外，臺灣 IC 設計業者也累積許多設計經驗及設計測試檔案(Benchmark)，並表示願意提供給學界進行資料學習及分析，DARPA ERI 之 IDEA 計畫另一目標為開源 EDA，未來將改變 EDA 產業生態，臺灣在許多主題如擺置、繞線等研究皆為世界領先，可藉由此開源運動，將其設計之工具整合至 DARPA ERI 之工具鏈中，在開源 EDA 社群佔有一席之地。此外，在 EDA in AI 部分，臺灣於 AI Chips 產業之研發已提早布局，目前有相當之投入，國內學者在近似運算(Approximate Computing)、神經網路壓縮(Neural Network Compression)、高階合成(High-Level Synthesis)、加速器設計(Accelerator Design)於 AI Chips 應用上之研究也有相當好的成果，將來在這產業上將扮演重要之角色。研究團隊需參考國際標竿動態，自訂具競爭力且具體的達成目標。

二、異質整合 EDA

隨著系統晶片之複雜度增加、3D IC 設計之到來、多種新興記憶體之整合等挑戰，目前在晶片異質整合(Heterogeneous Integration)之困難度急遽增加，臺灣在 IC 設計自動化之布局已相當完整，然而面臨異質整合的挑戰，特別是驗證的複雜度挑戰日益困難，如何提升設計效率和準確度已是當務之急，以自駕車系統為例，Tesla 在包括 Model 3 以內的所有車款都將搭載全自動駕駛功能所需要的硬體。所以，無論是道路辨識需要的 CNN 設計，配合 V2X 及 ADAS 開發以介入駕駛習慣等，都需要仔細的設計模擬和系統驗證，才能達到最佳化功耗/效能，提升功能安全，資訊保全和系統的可靠度。然而，相較先進國家，臺灣晶片業者不太注重設計驗證的重要性，以致於在先進驗證技術(e.g., emulation, formal verification, metric-driven verification, verification IP)嚴重落後其他領先的國家。臺灣需增加在機構設計自動化之布局，特別在 Thermal/

Mechanical/Stress 等議題還是需要加緊腳步，臺灣有世界領先之封裝及記憶體廠商，經由公司的參與，可以幫助此領域之發展，如封裝設計自動化參考流程。此外，在異質整合環境下，其暴露潛在安全性之漏洞，在電路及系統安全研究上也需要進行布局。研究團隊需參考國際標竿動態，自訂具競爭力且具體的達成目標。

三、軟體定義硬體 EDA

新興 AI、自駕車、5G 相關晶片需要處理即時、密集、大量重複之資料，公認之解決方案為軟體定義硬體，其重配置速度需高於 FPGA，效率接近 ASIC，功耗遠低於 FPGA。軟體定義硬體研究可以實現軟硬體的即時優化，進而實現一個晶片實現多個應用，節約晶片設計成本，硬體通過高階語言實現可再編程性，可協助國內感知運算與人工智慧晶片相關企業發展更具競爭力的設計自動化方案。在開源硬體部分，臺灣早已具備高階矽智財開發技術，在模擬、驗證技術上也具有國際級之研究成果，未來在開源硬體之整合上，將大有可為。研究團隊需參考國際標竿動態，自訂具競爭力且具體的達成目標。

四、新興科技 EDA

面臨量子計算/矽光子等新興科技領域，全世界仍積極投入開發摸索中，本計畫投入開發之 EDA 工具與流程可讓臺灣於此新興技術上保有發言權。研究團隊需參考國際標竿動態，自訂具競爭力且具體的達成目標。

陸、計畫撰寫說明與審查重點

- 一、計畫之研究主題必須具有前瞻性、關鍵性及創新性，計畫內容必須陳述國內外現狀、所欲達成之技術指標以及與世界技術水準同步(或超前)之情形。
- 二、計畫內容必須陳述三年計畫規劃藍圖(roadmap)及執行內容，並具體說明階段性成果與後續產業化或國際領先之成效。
- 三、若申請團隊研發成果得與業界銜接，當提出計畫書時，必須包含【業界合作意願書】(如附件2)，請將此意願書附於計畫書表CM03 研究計畫內容之後(不計入CM03研究計畫內容頁數)，並於計畫內容簡述申請團隊與業界預計之合作方式。
- 四、若申請團隊將進行國際合作研發，必須填寫國際合作研究計畫資料表

(申請書表IM01-IM03)，說明所洽談合作計畫內容與共同研發之進行方式。

柒、計畫申請、審查及核定

一、申請注意事項

1. 申請機構及計畫主持人資格須符合本部補助專題研究計畫作業要點之規定。
2. 計畫主持人以申請一件本專案計畫為限(含擔任主持人或共同主持人)。
3. 研究計畫內容(表 CM03)須使用本專案附件 3所列各項撰寫上傳，並以全英文撰寫。
4. 計畫總計畫及各子計畫主持人須撰寫英文簡歷(格式不拘與各主持人頁數以 5 頁為限)，並由總計畫主持人彙整附於計畫書表 CM03 研究計畫內容之後(不計入 CM03 研究計畫內容頁數)。
5. 研究型別：以申請三年期單一整合型研究計畫為限。計畫總計畫及各子計畫(至少 3 項(含)子計畫)內容彙整成一份計畫書，各主持人應實質參與研究，計畫書應詳實註明各主持人負責之研究主題，整合之計畫需有整體明確的目標，並由總計畫主持人之服務機關提出申請。未依規定申請者，恕不予受理審查。
6. 執行期限：自 108 年 11 月 1 日至 111 年 10 月 31 日止。
7. 申請經費：以申請每年 800 萬元為限。
8. 申請程序：
 - (1) 計畫申請作業，自即日起接受申請，請申請人依本部補助專題研究計畫作業要點規定，研提計畫申請書(採線上申請)，各類書表請務必至本部網站 (<https://www.most.gov.tw>) 進入「學術研發服務網」製作。申請機構須於 108 年 8 月 30 日(星期五)前函送本部(請彙整造冊後專案函送)，逾期恕不予受理。
 - (2) 計畫申請書請採用本部專題研究計畫申請書格式，研究計畫內容(表 CM03)須使用本專案附件 3。計畫類別點選「一般研究計畫」；研究型別請點選「整合型」；計畫歸屬點選「工程司」；學門代碼名稱請點選「E9863-電子設計自動化研發專案計畫」，以利作業。
9. 有關計畫頁數限制請務必依照本部公告之「專題研究計畫申請書表 CM03 研究計畫內容頁數限制一覽表」內工程司之規定，整合型多

年期計畫 CM03 內容至多 40 頁，超出部分將不予審查。

二、審查及核定

1. 審查方式包括初審及複審，如有必要將通知計畫申請人進行簡報審查。
2. 審查未獲通過者，恕不接受申覆。
3. 本計畫經核定補助後，列入本部專題研究計畫件數計算。

捌、執行與考評

- 一、計畫執行團隊須配合本部進行成果追蹤、查核、考評及成果發表會之報告，計畫申請書及成果報告將提供相關管考單位進行評估考核。
- 二、計畫書內需明列技術里程碑、查核點、評量指標及技術的產業應用性，以為評審委員查核之依據。各年度執行中查核時間依管考單位要求繳交進度報告，必要時將安排進行口頭報告或成果實體展示。前一年度成果審查結果將列為下一年度計畫是否繼續補助及經費調整之依據。經評估績效不佳者，將終止補助該計畫。
- 三、計畫成果發表除須註明本部補助外，亦請註明本計畫名稱或計畫編號。
- 四、除前開事項外，本計畫之簽約撥款、經費結報及研究成果報告繳交等應依本部補助專題研究計畫作業要點、本部補助專題研究計畫經費處理原則、專題研究計畫補助合約書與執行同意書及其他有關規定辦理。

玖、專案推動小組

專案召集人：張孟凡教授(國立清華大學電機工程學系)

Tel：(03)516-2181

E-mail：mfchang@ee.nthu.edu.tw

共同召集人：何宗易教授(國立清華大學資訊工程學系)

Tel：(03)573-1214

E-mail：tyho@cs.nthu.edu.tw

科技部工程司承辦人：潘敏治副研究員

Tel : (02) 2737-7983

E-mail : mcpan@most.gov.tw

科技部工程司專任助理：謝玉娟小姐

Tel : (02)2737-7983

E-mail : soa222@most.gov.tw

有關計畫申請系統操作問題，請洽科技部資訊處系統服務專線：

Tel : 0800-212-058、(02)2737-7590、7591、7592

拾、參考文獻

[1].<https://www.darpa.mil/work-with-us/electronics-resurgence-initiative>