

# 科技部

## 110 年度「A 世代前瞻半導體技術專案計畫」

### (第二次徵案)說明附件

#### 領域一：Å 尺度半導體關鍵檢測技術

##### 壹、計畫背景及目的

當晶圓製程從奈米進入 Å 尺度，半導體元件的表面積與體積之比將大幅增加一個數量級，不僅內部原子，表面原子的排列、缺陷及其電子結構與引發的量子局限效應預期會對元件的運作表現產生明顯的影響。對於這些結構與量子效應，不僅光學檢測已無用武之地，傳統電子束檢測也無法完全探究。本計畫目標發展 Å 尺度檢測技術，期不僅具備檢測缺陷的功能，還具有解析表面原子與電子結構的能力，達到非破壞性高解析結構與物性化性分析，並具半導體線上整合之未來性，進而提供足夠的資訊而設計有效的 Å 尺度元件製程以提高良率。

##### 貳、研究議題範疇

計畫研究議題將包含但不限於以下項目：

- (1) 用於檢測結構與化學成份之 Å 尺度解析力之技術。
- (2) 建立半導體與多層結構介面和表面 Å 解析度缺陷檢測分析。
- (3) 規劃長遠滿足製程 in-line 的檢測需求。

##### 參、計畫重點

分析半導體表面與界面的原子級結構，涵蓋(1)線缺陷(<1 nm)及面缺陷的分析及檢測達 Å 尺度；(2)挑戰點缺陷檢測鑑定及分析；(3)化學成份分析達 Å 尺度；(4)發展新穎具元素指紋(finger print)的顯微能譜(micro-spectroscopy)技術，(5)理論與數值分析模擬與計算，以符合半導體產業之材料及元件檢測需求之技術開發，解析奈米尺度之應力分佈等相關技術，實際解決半導體業及檢測業於製程上面臨之問題。

## 領域三：次奈米半導體元件與晶片關鍵技術探索

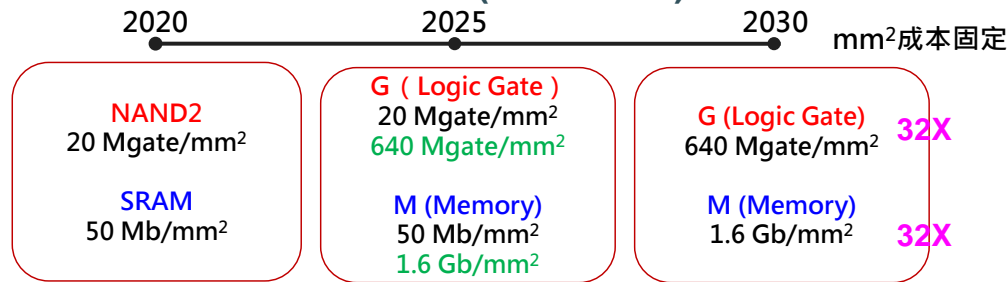
### 壹、計畫背景及目的

「A 世代半導體技術:次奈米半導體元件與晶片關鍵技術探索」的核心目標為推動半導體產業下一個十年所需前瞻元件與晶片技術之先期布局，開發 2030 年所需之「GAME 超高密度與能效之等效一奈米積體電路技術」，其中 G 指的是 Gate 邏輯閘，A 指的是 Architecture 架構，M 指的是 Memory 記憶體，E 指的是 ultralow-Energy device 極低能耗元件，四者為等效一奈米積體電路技術的重要基石。採用美國 DARPA Grand Challenge 的方式，由政府投入種子基金，突破現有框架，挑戰密度、成本、能耗、能效較 2020 年最先進的五奈米量產技術達十倍以上改善之高難度目標，激發學界提出破壞性之創新解決方案。

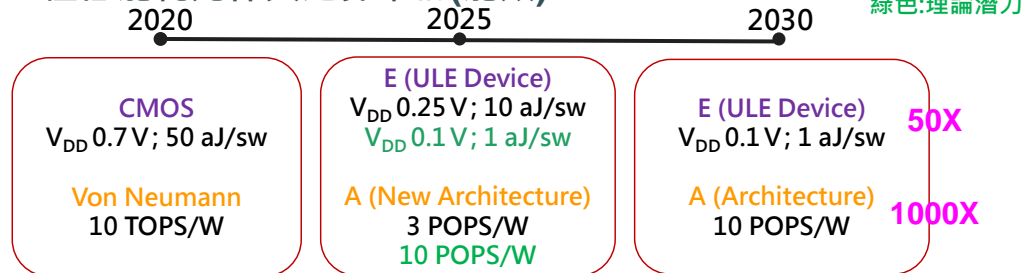
我們進一步將 GAME 區分成兩大項關鍵技術開發：超高密度三維積體電路技術與極低能耗元件與運算架構。高密度三維積體電路技術的目標是最終於 2030 年能將晶片上的邏輯閘與記憶體密度較 2020 年現有技術提昇三十二倍，並在不增加單位晶圓製造成本下，使單位電路的面積縮小、單價有效降低，延續摩爾定律的經濟誘因。極低能耗元件與運算架構則是為解決目前晶片能耗過高且能效無法滿足高運算量之大數據處理需求，開發極低能耗開關元件與超高能效運算架構，最終於 2030 年能將元件能耗與晶片能效較 2020 年現有技術提昇五十倍與一千倍。本計畫所訂立之 2025 年與 2030 年之挑戰性目標與現有 2020 年技術之比較，如圖一所示。

特別說明的是本計畫所列之技術規格，目前全世界並無已知之技術能達成，訂立極具困難之挑戰性目標希望能引導並鼓勵學界勇於提出不同於現有技術之破壞性解決方案，以充分符合本計畫探索未知技術的大挑戰精神。此外，學界開發之先期元件與晶片技術成果未來將技轉予國內半導體產業，進行量產可行性評估，有效降低產業路線探索(pathfinding)過程之風險。

## 超高密度三維積體電路技術(密度、成本)



## 極低能耗元件與運算架構(能效)



圖一、等效一奈米積體電路技術指標與計畫執行前後之國際比較

### 貳、研究議題範疇

本分項第二次徵案旨在挖掘更多具有開創性的前瞻性解決方案，與第一次已核定且執行中的計畫，減少重疊並產生加乘互補效果，共同開展多種可能研發路徑，以充分符合本計畫探索未知之精神。本分項已核定之計畫請參考計畫網頁中之研究團隊說明(<https://angstrom.tw/>)。

申請案需針對第二次徵案重點研究主題其中一項提出創新的解決方案與具體的四年技術規劃藍圖(roadmap)。技術規劃藍圖中至 111 年 4 月底需完成完整的理論架構，支持所提技術達 2030 年終極目標之可行性，至 112 年 4 月底需完成所提技術之雛型驗證供查驗，至 114 年 10 月底需完成計畫全程之挑戰目標。第二次徵案重點研究主題包含：

(一) 鼓勵能應用於通用型等效一奈米邏輯技術平台之超高密度三維邏輯閘元件開發，並考量未來須以大面積晶圓級技術整合有別於矽之高性能通道材料，例如二維材料通道等，以及多於一種異質通道材料三維堆疊之可能性。為達到 2030 年密度提升三十二倍的目標，本分項 2025 年的挑戰目標為驗證全新型態之邏輯閘，達 2020 年現有五奈米量產技術相當之 20 MGate/mm<sup>2</sup> NAND2 邏輯閘(兩

輸入之 CMOS NAND)密度，並以其實驗數據，推估理論潛力(需輔以適當之模擬與理論工具)可達 2030 年之最終目標  $640 \text{ MGate}/\text{mm}^2$  密度。因學界並無高密度積體電路整合能力，此主題將以單一邏輯閘的高度微縮能力(以單一邏輯閘面積大小為指標，例如  $20 \text{ MGate}/\text{mm}^2$  為  $0.05 \mu\text{m}^2/\text{Gate}$ )為雛型驗證目標，但需輔以適當之模擬與理論工具，說明未來高密度整合(含連接導線)情境下之密度與成本優勢，以接軌未來產業實際應用。

(二) 鼓勵能應用於通用型等效一奈米邏輯技術平台之超高密度三維記憶體元件與陣列開發，引進新穎功能性材料於記憶體應用中為鼓勵重點。為達到 2030 年密度提升三十二倍的目標，本分項 2025 年的挑戰目標為驗證全新型態之嵌入式記憶體技術，達 2020 年現有五奈米嵌入式 SRAM 記憶體相當之  $50 \text{ Mb}/\text{mm}^2$  密度，並以其實驗數據，推估理論潛力(需輔以適當之模擬與理論工具)可達 2030 年之最終目標  $1.6 \text{ Gb}/\text{mm}^2$  密度。本分項除以單一記憶體位元的高度微縮能力(以單一位元面積大小 unit cell size 為指標，例如  $50 \text{ Mb}/\text{mm}^2$  為  $0.02 \mu\text{m}^2/\text{bit}$ )為雛型驗證目標外，需進行記憶體陣列實作驗證，於 2022 年驗證不小於 64kb 的測試陣列，2025 年驗證不小於 1Mb 的測試陣列，說明未來高密度陣列應用之密度與成本優勢，以接軌未來產業實際應用。

(三) 鼓勵能應用於通用型等效一奈米邏輯技術平台之極低能耗開關元件，推進未來低能耗運算的極限。為達到 2030 年開關能耗較現有五奈米量產技術下降五十倍的目標，本分項 2025 年的挑戰目標為驗證全新型態之開關元件雛型，驗證操作電壓 0.25 V，切換能耗 10 aJ 之能力，以其實驗數據推估理論潛力(需輔以適當之模擬與理論工具)可達 2030 年操作電壓降低至 0.1 V，切換能耗降低至 1 aJ 之最終目標，並實現邏輯閘雛型。