

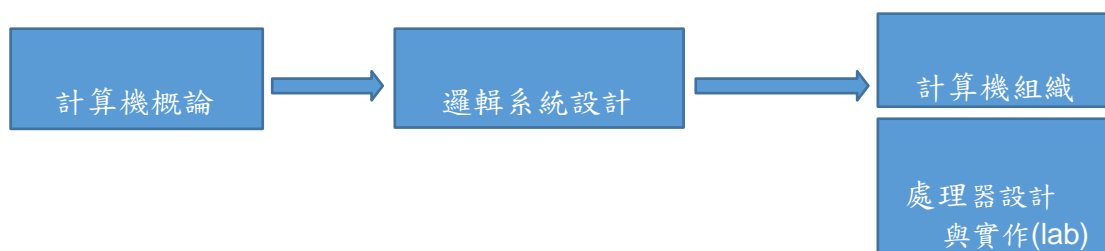
教育部智慧電子整合性人才培育計畫

「前瞻技術精進課程」內容大綱—課程編號：AT-01

課程	中文名稱：處理器設計與實作				
	英文名稱：Microprocessor design and implementation laboratory				
	修習年級：大學部二/三年級	每週授課時數：3 小時 每週實作時數：3 小時	學分：3 學分		
課程主持人	國立成功大學電機工程系陳中和教授	聯絡方式	E-mail:chchen@mail.ncku.edu.tw Tel:06-2757575 ext 62394		
課程大綱	<p>一. 內容</p> <p>本實習教材, CPULAB (NCKU),可搭配大學部計算機組織課程實施, 主要項目內容包括: 可練習 MIPS and/or ARM 組語程式、C 與組語的關係、以 C 及 Verilog 撰寫處理器功能模組、中斷程式的設計、pipelined CPU 中斷處理模組的設計、處理器系統平臺的建置(on FPGA)、AMBA 匯流排 (on FPGA)、I/O 中斷控制器系統 (on FPGA)、I/O systems (on FPGA)。本教材依教育部補助智慧電子整合性人才培育計畫「處理器設計與實作課程」與實際上課需求, 整合為十個連貫性的 LAB, 每個 LAB 內部包含範例練習與實作項目, 後者可依學生程度加以調整。本實習課教材約以講授帶範例一小時, 其餘時間由學生實作。計算機組織正課宜配合實習項目補充所需的背景知識。</p> <p>本教材(LAB1 to LAB10)提供 MIPS ISS 執行檔、MIPS pipelined processor Modelsim work 目錄檔、FPGA 檔與實驗題目的教師解答供參考使用。以上檔案可在 http://caslab.ee.ncku.edu.tw/ 下載。本教材亦同時提供 CPULAB (CCU) 與 CPULAB (NDHU) 兩份講義做為輔助教材, 可以 project 方式實施。</p>				
	課程大綱		實驗模組		
	週次	單元主題	內容綱要	實驗主題	平臺
	1 / 2	Tools and Instruction Set Design	1. Learn to use the simulation tools and the imulators 2. Learn basic IPS assembly programming	LAB1: Use of ISS and C2A (6 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
	3	Instruction Set Design	C code to assembly code transform	LAB2: Describe C code in MIPS assembly (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
4	Instruction Set Implementation	Implement processor branch instruction unit.	LAB 3: SystemC Implementation of Branch Instruction Function (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java	

5	Instruction Set Implementation	Implement processor branch instruction unit in Verilog	LAB 4: Verilog Implementation of Branch Instruction Function (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
6	Instruction Set Implementation	Implement processor ALU	LAB 5: Verilog Implementation of Arithmetic Logic Unit (ALU) (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
7 / 8	Processor Interrupt and System	Interrupt handler design	LAB 6: MIPS CPU Interrupts handler & ISR (3 to 6 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
9	Processor Interrupt and System	Implement pipelined processor interrupt unit	LAB 7: MIPS CPU Interrupt Unit (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
10 / 11	Processor Platform Design	Implement processor and AMBA platform in FPGA	LAB 8: Simple CPU System Platform & Memory Allocation (3 to 6 hours)	PC (Linux), Modelsim, ARM cross compiler, Xilinx XUPV5-LX110T Evaluation Platform
12 / 13	Processor Platform Design	Implement processor and AMBA platform in FPGA	LAB 9: Multi-Master Bus Platform & Generic I/Os (3 to 6 hours)	PC (Linux), Modelsim, ARM cross compiler, Xilinx XUPV5-LX110T Evaluation Platform
14 / 15	Processor Interrupt and System	Implement system interrupt service in FPGA	LAB 10: Interrupt Controller & Interrupt Service Routines on EASY Platform (3 to 6 hours)	PC (Linux), Modelsim, ARM cross compiler, Xilinx XUPV5-LX110T Evaluation Platform
16 / 18	Project LAB	Implement multi-cycle or pipelined MIPS processor in RTL or in C.	CPULAB (NDHU, CCU)	PC (Linux), Modelsim, MIPS cross compiler, Xilinx XUPV5-LX110T Evaluation Platform

二. 相關課程流程圖



三. 建議教科書

1. Computer organization and design, the hardware/software interface
D. A. Patterson and J. L. Hennessy MIPS
and/or ARM's edition
2. 自編實習教材

四. 建議評分方式

處理器設計與實作為計算機組織成績的 30%-40%.

五. 預修課程

計算機概論與邏輯系統設計

六. 實驗設備需求

1. MIPS/ARM: SDK 程式開發工具
2. Linux-based PC
3. RTL 設計: 可提供verilog 模擬, 並能與SystemC co-design 之設計環境
4. FPGA 板: 以能實現單核心處理器設計之中階FPGA 平臺

教育部智慧電子整合性人才培育計畫

「前瞻技術精進課程」內容大綱—課程編號：AT-03

課程	中文名稱：微感測器及感測電路設計課程 英文名稱：Design of Microsensors and Sensing Circuits		
	修習年級： 大四及研究所	每週授課時數： 3 小時 每週實作時數：3 小時	學分：3 學分
課程主持人	國立清華大學電機工程學系 盧向成教授	聯絡 方式	E-mail: sclu@ee.nthu.edu.tw Tel: (03)516-2220
課程大綱	<p>一. 內容</p> <p>課程目標</p> <p>本課程目標為提供有志於朝向微感測器領域發展之研究生一個學習與實作要著重於微型感測器的運作原理、電路及感測結構之設計、模擬、實驗、於各種設計的選擇與挑戰。此課程會強調感測訊號的讀取與處理，以訓練後具備將前端物理待測量轉為最終電子訊號的能力。除了課程講解外，實作的地位，以期使修課學生具有實際的感測器操作經驗。</p> <p>課程特色</p> <p>本課程適合電機、電子、機械系及相關工程學系大學部高年級學生及研究所修習。本課程除了介紹各種不同的感測機制(如壓阻感測、熱電感測、電容感測)及其所屬之微型感測器應用外，亦將使用有限元素分析軟體(如 Comsol、Coventor)與電路模擬軟體(Cadence、SPICE)搭配學習，以模擬就業的立即需求。本課程特別設計實作實驗，以提供修課學生一個實作演將整個學期的內容融會貫通。</p> <p>課程內容</p> <p>本課程之教學內容如下：</p> <ol style="list-style-type: none"> 1.微製程介紹 (Fabrication Technology of Microsensors) (6 小時) 2. 機械感測結構之分析 (Analysis and Modeling of Mechanical Sensing Structures) (3 小時) 3.壓阻式換能機制於感測器之應用(Piezoresistive Transduction & Sensor Application) (3 小時 + 3 小時實驗) 4.電熱式換能機制於感測器之應用(Electro-Thermal Transduction & Sensor Application) (3 小時 + 3 小時實驗) 5.電容式換能機制於感測器之應用(Capacitive Transduction & Sensor Application) (3 小時 + 3 小時實驗) 6.壓電式換能機制於感測器之應用(Piezoelectric Transduction & Sensor Application) (3 小時 + 3 小時實驗) 7.振盪式及光學式感測器 (Resonant Sensors and Optical Sensors) (3 小時) 8.生醫及化學感測器 (Biosensors and Chemical Sensors) (3 小時) 9.感測電路設計與訊號處理(Sensing Circuits and Signal Processing) (3 小時) 10.感測器雜訊與干擾(Sensor Noise and Interference) (3 小時) 11.軟性感測器製造技術 (Fabrication Technology of Flexible Sensors) (3 小時) 12. 軟性感測器應用 (Applications for Flexible Sensors) (3 小時) 13. 無線感測標籤系統 (Introduction to Wireless Sensing Tag System) (3 小時) 		

實驗內容

1. 光罩設計及微製程

本實驗模組將配合授課內容進行膠片光罩之設計及微顯影製作。光罩之設計軟體(例如LEDIT 或COVENTORWARE 等)作layout，並搭配本校半導體輔以E-Gun 蒸鍍機來進行感測晶片電極製作。並以請購之奈米研磨機來膜層之製備。

2. 以有限元素分析法設計感測晶片

本實驗模組將配合授課內容進行有限元素分析法設計感測晶片，將以商用COVENTORWARE 或ANSYS 等)進行multi-physics 模擬感測晶片之傳感電能轉熱能等)。

3. 壓阻式感測器實驗與量測

本實驗將配合授課內容之主題進行規劃：傳感機制中所介紹之壓阻測原理將藉由一雙端固定樑型(Clamped-Clamped Beam)微機械結構內嵌(Polysilicon)壓阻感測器進行實際操作與量測，當微機械樑結構因外界環境的形變將會轉化為應力應變形式而改變壓阻器的阻值，藉由電阻值的變環境變化量而達到感測的功能；元件設計與模擬主要由壓阻式元件與應用蓋，製造部分將採用本實驗室於CIC 所下線之0.35 μ m 2P4M 製程搭配金屬濕蝕刻製程來實現微型壓阻感測器。

4. 電容(靜電)式感測器實驗與量測

本實驗將配合授課內容進行規劃：傳感機制中所介紹之電容(Capacitive)感由一電梳式(Comb-Drive)微機械結構與其側邊電極所形成之電容感測單元操作與量測，當微機械樑結構因外界環境變化所造成的形變將會轉化為電隙(Air Gap)的變化，藉由此一可變電容值的變化可以反推環境變化量而達能；元件設計與模擬主要由靜電式元件與應用內容所涵蓋，製造部分將採於CIC 所下線之0.35 μ m 2P4M 製程搭配 Post-CMOS 二氧化矽濕蝕刻製梳式傳感器；另外此一傳感器將使用 CMOS 放大器電路作為 Readout 介感測器輸出訊號強度與訊雜比，這部分知識將由感測電路設計與訊號處理所涵蓋。

5. 壓電式感測器實驗與量測

本實驗將配合授課內容進行規劃：傳感機制中所介紹之壓電(Piezoelectric)藉由一薄膜體聲波(Thin Film Bulk Acoustic Wave)微機械結構與其所具備換特性進行實際操作與量測，當微機械薄膜結構因外界環境變化所造成的變將會轉化為電荷形式而累積於表面電極處，藉由運動電流值的變化可以化量而達到感測的功能；元件設計與模擬主要由壓電元件與應用內容所涵元件將選購 Avago 公司所製造的薄膜體聲波共振器。

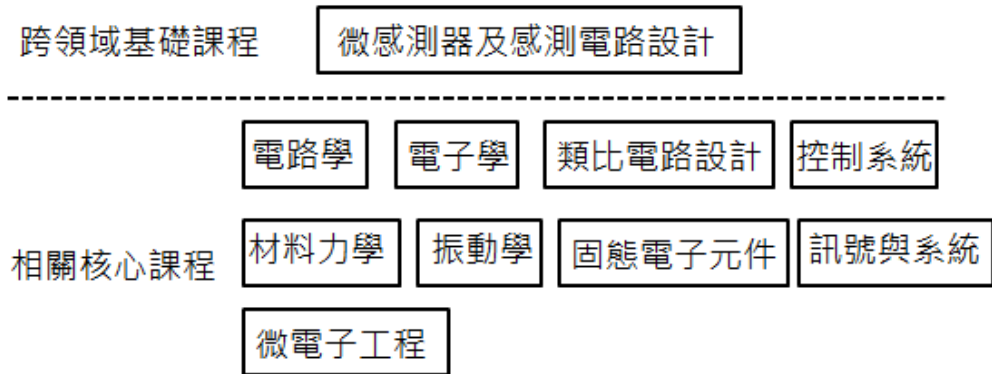
6. 軟性電力感測器實驗與量測

本實驗將配合授課內容進行規劃：主題所介紹之軟性元件技術中，則取以板作為軟性感測元件之製作，藉由法拉第原理，將適當之線圈結構設計並基板之上，並以噴墨列印方式製備樣品，當電器產品使用時，交流電流通時將產生時變磁場，而該軟性線圈將可因感應磁通量改變而於線圈兩端形壓，在藉由感應電壓值的大小，可以反推導線中交流電流量之大小而達到能；元件設計與模擬主要由軟性感測元件與應用內容所涵蓋。

7. 氣體感測器封裝及量測

本實驗模組將配合授課內容進行氣體感測器封裝及量測。將以適當之介面請購之感測晶片量測系統，量測暴露於待測氣體下，自製氣體感測器電性之改變。

二. 相關課程流程圖



課程
大綱

三. 建議教科書

1. "Microsystem design", Stephen D. Senturia, Kluwer Academic Publishers, 2000.
2. "Sensors and Signal Conditioning", R. Pallas-Areny and J. G. Webster, 2nd edition, John Wiley and Sons, Inc.
3. "AIP Handbook of Modern Sensors", J. Fraden, AIP, 1993.
4. "Micromachined Transducers Sourcebook ", Gregory T.A. Kovacs, The McGraw-Hill, Inc., 1998.
5. "Foundation of MEMS", Chang Liu, Pearson Education Inc., 2006.
6. "Fundamentals of Microfabrication", Marc J. Madou, CRC Press, 2002.

四. 建議評分方式

實驗(20%), 考試(50%), 作業(10%), 期末報告(20%)

五.

預修課程

電子學

六. 實驗設備需求

1. 4-Port 網路分析儀：可量測共振式傳感器之電訊號頻率響應，包含 Single-Ended 與 Balanced Mode，頻率範圍介於數百 kHz 至數百 MHz。
2. Probe Station：使用其 RF/DC 探針提供待測元件(DUT)輸入與輸出訊號之電性連結。
3. 真空腔體與 Pump：可抽真空以排除空氣阻尼對共振器的影響，提升其 Q 值以利於實驗量測。
4. 雷射都卜勒測速儀(LDV)：可量測共振式傳感器之運動，包含速度與位移，並提供 時域與頻域之運動輸出訊號，頻率範圍介於數百 kHz 至數百 MHz。
5. Power Supply：提供元件運作所需之偏壓。
6. 奈米噴墨鍍膜機：提供軟性電子感測元件製作。
7. 奈米研磨機：研磨半導體氧化物再沉積於金屬電極上，用以製作氣體感測器。

高階應用處理器系統課程精進模組

多核系統效能分析與偵錯工具模組課程大綱—模組代號:AP-01

模組	中文名稱：多核系統效能分析與偵錯工具 英文名稱：Performance Analysis and Debugging for Multicore Systems		
	修習年級：碩博士生	每週授課時數：3小時 每週實作時數：12小時	學分：_學分
可配合之既有教學課程 ¹	系統研究專題、計算機結構、高等計算機結構、平行程式設計、多核心嵌入式系統		
課程主持人	國立臺灣大學資訊工程學系, 洪士灝教授	聯絡方式	E-mail: hungsh@csie.ntu.edu.tw Tel: 02-33664888 Ext: 320

一、課程簡介

多核心處理機系統已日益普及，除了廣泛用於伺服器與個人電腦之外，在高階的行動裝置和嵌入式系統中的使用量也逐年提昇。目前在智慧型手機與平板裝置上，各大廠商均有四核心的旗艦機種，而雙核心處理機已蔚為主流。在嵌入式系統以及新興的 Machine-to-Machine (M2M) 應用上，多核心處理機被認為是可以同時提高資料計算量和降低能耗的重要技術。然而，多核心處理機系統的技術門檻極高，如果不能夠有效地針對應用領域整合硬軟體，則系統效能不彰、開發時程過長、系統不穩定的狀況時有所聞，因此一般業界技術能力較薄弱的廠商，咸認為非萬不得已，盡可能不要使用多核心處理機，以致於近年雖然世界大廠均廣泛使用多核心處理機，但國內有能力開發與應用多核心處理機的廠商，為數甚少。

在多處理機的系統上，缺乏對於處理機系統架構的完整認識，尤其對於記憶體階層、多處理機快取架構、通訊機制、中斷機制等的理論與實務認知，則完全無法有生產力。因此，我們在本模組的規劃上，特別強調開發工具的使用，透過專業的模組教學和實驗，引導學生對於系統軟體和處理機系統架構之間的互動得到較為深刻的理解。針對應用和系統層軟體，除了使用傳統的效能和偵錯工具，例如 Intel Vtune performance Analyzer 與 OProfile，在工作站、ARM 開發版、或是 FPGA 開發版上進行實驗之外，我們使用仿真器 (emulator) 進行實驗。仿真器的模擬速度較指令集模擬器 (instruction-set simulator) 和電子系統層級 (electronic system level, ESL) 工具為快，但只能概估效能，在這裡我們使用能夠在多核心主機上平行運行的 PQEMU 仿真器來模擬多核心系統，並且加入時間和能耗的模型，以模擬設計中的處理機架構之效能與能耗，進行系統層級的效能分析與偵錯。在本課程中，我們也教授 PQEMU 仿真器和時間/能耗的模型設計原理。由於這些工具本身也有相當複雜的技術，使用者並非單純地懂得如何操作即可，必須對工具的原理和特性有足夠的認識，也要有相當的實作訓練，才能運用自如。

對於已經擁有計算機結構與平行程式設計課程背景的學生，講解多核心系統之架構、多核心應用程式開發、多核心系統效能分析、多核心系統偵錯工具等四大主題，以建構學生開發多處理機系統之基本能力與經驗，包括：

- A. 學習在實體機器上的應用開發與效能分析，使用 Intel Vtune performance Analyzer 與 OProfile 作為校能監控工具，在工作站、ARM 開發版、或是 FPGA 開發版上進行實驗。
- B. 學習在仿真器上加入模擬加入時間和能耗的模型，以模擬設計中的處理機架構之效能與能耗，進行系統層級的效能分析與偵錯。

¹ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	多核心系統架構	多核心系統架構：講解多核心系統之架構，包括：共享記憶體(shared memory)、分散式快取記憶體(distributed caches)、快取協定(cache coherence protocols)、MIMD 執行，並且說明如何將特定元件的行為模型加入 PQEMU 之中，提高模擬之精確度。	多核心系統架構模擬實驗：將特定元件的行為模型逐步加入 PQEMU 之中，包括 cache simulator, cache coherence protocol, TLB, interconnection network, memory 等，提高模擬之精確度。引導學生分析模擬器之報告、觀察模擬器之精確度(與硬體效能監控器比較)、紀錄模擬器之速度。	1.多核心工作站 2.多核心 ARM 開發版	
2	多核心應用程式開發：	多核心應用程式開發：以 Pthreads 為例，講解使用者層級(user-level)多核心程式開發的方式，重點包括：creation and join of threads, degree of parallelism, inter-thread data sharing and communications, threads synchronization 等，並且說明如何利用 Intel Vtune Performance Analyzer 在多核心平台上剖析 Pthreads 程式，以及觀察各個版本程式執行的狀況。	多核心應用程式開發實驗：給定一應用程式，引導學生利用 Pthreads 將之平行化後，利用 Intel Vtune Performance Analyzer 或 Oprofile 分析其執行的狀況。本實驗將介紹 Vtune 與 Oprofile 之原理與使用技術。	1. 多核心工作站 2. 多核心 ARM 開發版 3. Intel Vtune Performance Analyzer	
3	多核心系統效能分析	多核心系統效能分析：講解多核心系統效能的關鍵議題，包括 degree of parallelism, coherence cache misses, load balance, synchronization overhead 等，並且說明如何利用 PQEMU 剖析 Pthreads 程式之效能，判斷效能瓶頸，以及改進效能。	多核系統效能分析實驗：給定一 Pthreads 應用程式，引導學生分別以 PQEMU 與 Vtune 剖析該程式之效能，比較二者之報告，判斷系統效能瓶頸。本實驗教導學生如何在 PQEMU 上追蹤效能相關事件，並且利用 PQEMU 可模擬眾多核心的特性，模擬出 1~32 核心的各系統的效能報告。	1.多核心工作站 2.多核心 ARM 開發版 3.Intel Vtune Performance Analyzer	
4	多核心系統偵錯工具	多核心系統偵錯工具：講解多核心程式開發時容易遇到的錯誤，包括 data sharing, race conditions, deadlocks 等，並且說明如何使用工具輔助偵錯。	多核系統偵錯工具實驗：給定幾個有問題的 Pthreads 程式，教導學生使用工具輔助偵錯，判定錯誤原因與地點。	1.多核心工作站 2.多核心 ARM 開發版	

三、教學資源

- 實驗所需設備規格說明：
 1. 配備 Windows 或 Linux 之個人電腦
 2. Intel Vtune：可向 Intel 購買或使用三十天免費 evaluation copy
 3. PQEMU/VPMU：自由軟體
- 課程投影片載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)
- 實驗手冊載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)

四、建議教科書

無

五、預修課程

計算機結構

高階應用處理器系統課程精進模組

即時計算系統設計模組課程大綱—模組代號:AP-02

模組	中文名稱：即時計算系統設計		
	英文名稱：Real-Time Computing System Design		
	修習年級：碩士生	每週授課時數：3小時 每週實作時數：12小時	學分：_學分
可配合之既有教學課程²	系統設計專題/高等作業系統		
課程主持人	國立臺灣大學資訊工程學系, 施吉昇教授	聯絡方式	E-mail: cshih@csie.ntu.edu.tw Tel: 02-33664927

一、課程簡介

即時計算系統設計(Real-Time Computing System Design) (第一年)：許多的嵌入式即時控制系統與新興的網宇實體系統 (Cyber-Physical Systems) 均需要在系統設計上加入確保系統能夠即時反應或是完成工作的機制，例如即時的中斷處理 (interrupt handling)、即時的工作排程 (real-time scheduling)，在多處理機的情況下，還必須考慮工作的分割 (partition) 以及轉移 (migration)，因此在本模組中，我們探討系統軟體的設計，如何搭配高階應用處理機的設計，以提供對於即時應用的支援。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	嵌入式系統	介紹嵌入式系統應用，系統需求與系統架構	實驗項目一:即時系統安裝與操作。實際安裝即時作業系統(uC/OS II 或 uC/OS III)於多核心實驗平台。此外，學生也將在此一平台上同時執行即時應用程式與非即時應用程式，並比較兩者的執行效能，目的在了解即時系統的運作與系統特性。		
2	即時作業系統	介紹即時作業系統，系統架構，排程演算法，現有系統。	實驗項目三:多核心即時排程演算法實作。修改即時作業系統的排程演算法，並量測此一多核心演算法的效能與可排程性分析，學習如何實作即時排程演算法。		
3	虛擬即時系統	介紹虛擬即時系統應用，虛擬技術，虛擬系統架構	實驗項目四:多程序即時應用程式設計。設計一個具有三個子工作的回饋應用程式，包含資料讀取、計算與裝置控制，使其具有即時效能。目的在學習如何實作即時應用程式。		

² 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

4	即時系統驗證	系統驗證方法，執行時間估計	實驗項目二:即時系統驗證。分別使用驗證工具檢驗即時系統的設計，包含作業系統與應用程式，並將系統實際裝置於硬體平台上，以實機運作比較兩種方式得到的系統效能，目的在學習如何驗證即時系統的效能。		
5	智慧整合控制系統	介紹智慧整合控制系統應用，系統架構，與系統需求。			

三、教學資源

- 實驗所需設備規格說明：

1. X86 平台工作站
2. Beagleboard/Pandaboard

四、建議教科書

無

五、預修課程

作業系統
分散式系統

高階應用處理器系統課程精進模組

電子系統層級設計工具模組課程大綱—模組代號:AP-03

模 組	中文名稱：電子系統層級設計工具模組		
	英文名稱：Basic System Design with ESL Tools		
	修習年級：碩士生	每週授課時數：3小時 每週實作時數：54小時	學分：3學分
可配合之既有教學課程 ³	軟體硬體共同設計與應用		
課程主持人	國立成功大學資訊工程學系, 蘇文鈺教授	聯絡方式	E-mail: alvinsu@mail.ncku.edu.tw Tel: 06-2757575 Ext: 62537

一、課程簡介

隨著硬體與網路技術的進步，嵌入式系統之設計日趨複雜。在半導體製程進步到奈米層級的今日，目前晶片已有十億邏輯閘(1 Billion gate)的容量。除了硬體複雜度不斷攀升外，嵌入式軟體也日趨複雜，致使嵌入式系統的軟硬體設計與整合變成一大挑戰。雖然 Platform based Design 有助於簡化軟硬體的共同設計的問題，但是在只有 RTL 模型的硬體元件下，系統模擬速度相當緩慢，對縮短嵌入式系統產品的 time-to-market 相當不利。電子系統層級 (Electronic System Level, ESL) 可大幅加速系統模擬速度。在 ESL 平台上，系統的硬體元件被以比 RTL 層級更高的抽象層級(abstraction level)來描述。ESL 根據需求省略一些硬體元件之實作細節，藉以提高模擬速度。藉由電子系統層級設計方法的導入，可將設計抽象層級由 RTL 提升至交易層級，讓工程師在設計初期即能快速針對系統晶片的模型進行分析，提早發現潛在錯誤，降低設計風險並加速產品上市。

本課程模組教導學生正確理解電子系統層級的觀念與應用範圍，並讓學生有能力進行電子系統層級相關程式之撰寫。本課程模組說明 SystemC 之語法以及使用 SystemC 建構包含 CPU 核心與其周邊裝置之模擬環境，並以開發環境為基礎探討系統硬體架構與系統內資料傳輸行為。

本模組可用以驗證計算機組織與編譯器課程的所學知識，並透過實際教學範例可以了解如何在電子系統層級運作 CPU、程式碼運作於 CPU 上的記憶體配置、透過編譯器編譯組合語言、透過配置記憶體區塊來控制程式碼的運作以及實際運行於 FPGA 電路來完成一系列的開發流程。透過上述流程可以讓學生更準確地知道如何從 ESL 層級的前置模擬與效能分析，一直到實際硬體電路運行的過程。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	電子系統層級設計工具介紹	What is ESL? Why ESL? Introduction to ESL 電子系統層級設計工具介紹, ESL 開發環境介紹	本周無實驗項目	無	
2	SystemC 語法與程式架構介紹	Introduction to SystemC (SystemC Module, port, signal, process, interface, and channel) Introduction to Transaction Level Modeling CPU Model RTL level	以 SystemC 撰寫 CPU 處理器之基本硬體元件(如: ALU、Register... 等等)	個人 PC 主機	

³ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

3	使用 SystemC 實作 CPU 之 RTL 元件	使用 SystemC 實作 RTL 元件	結合實驗一之基本硬體元件，使用 SystemC 撰寫 CPU 處理器之 RTL models	個人 PC 主機	
4	以電子系統層級設計(ESL)來撰寫 CPU 模組及其周邊 Transaction Level Modeling 介紹	以電子系統層級設計(ESL)來撰寫 CPU 模組及其周邊	以電子系統層級設計(ESL)來撰寫 CPU 模組及其周邊; 比較兩種 CPU 建構方式的不同。建立 System bus, Memory, Terminal 等	個人 PC 主機	
5	如何建立將電子系統層級設計(ESL)之多核心架構，並實現 Multicore System Simulation/ System Profiling/ 排程系統	將電子系統層級設計(ESL)來撰寫 CPU 模組擴展到多核心架構。Multicore System Simulation	將電子系統層級設計(ESL)來撰寫 CPU 模組擴展到多核心架構。 針對 ESL 層級 CPU 模組及其周邊進行 profiling, 實作排程系統, 記錄特定事件發生之次數 (如, cache hit/miss 次數)	個人 PC 主機	

三、教學資源

- 實驗所需設備規格說明：

1. FPGA 板與相關軟體
2. SystemC-2.3.0 之官方資源
3. Modelsim(商用模擬軟體)

四、建議教科書

1. SYSTEMC: FROM THE GROUND UP by David Black and Jack Donovan, 2004, Kluwer Academic Publisher Group
2. System Design with SystemC by Thorsten Grotker, Stan Liao, Grant Martin, Stuart Swan, 2002, Kluwer Academic Publisher Group

五、預修課程

數位系統與邏輯設計
 計算機組織
 超大型積體電路設計及其實驗

高階應用處理器系統課程精進模組

異質多核系統模擬環境模組課程大綱—模組代號:AP-04

模 組	中文名稱：異質多核系統模擬環境模組		
	英文名稱：Simulation Environment for Heterogeneous Many-core Systems		
	修習年級：大學部或碩士生	每週授課時數：2小時 每週實作時數：2小時	學分：_學分
可配合之既有教學課程 ⁴	計算機組織與系統, 計算機結構, 進階計算機架構專題		
課程主持人	國立交通大學電子工程學系, 賴伯承 教授	聯絡方式	E-mail: bclai@mail.nctu.edu.tw Tel: 03-5712121 Ext: 31927

一、課程簡介

本模組利用目前學術界針對 CPU-GPU 異質運算系統所設計，完成度最高、最多人使用的模擬器 Multi2Sim，作為基本的工具，教導學生如何建構 CPU-GPU 異質運算系統之模擬環境，並且以此模擬環境分析一系列之測試程式，剖析軟體之執行流程，監視硬體的使用效率，觀察硬軟體之間的互動，以及找尋效能瓶頸所在。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	異質多核心	簡介異質多核心趨勢	無	無	
2	異質多核心環境建立	介紹 Open CL	使用 Open CL 實作 Reduction	Open CL 和顯示卡	
3	介紹異質系統	介紹 Multi2sim 環境	建立 Multi2sim 實驗環境	Multi2sim	
4	異質核心的軟體最佳化	介紹軟體的最佳化技巧	調整應用的程式	Multi2sim	
5	異質核心的硬體最佳化	介紹硬體的的最佳化技巧	調整系統應體架構	Multi2sim	
6					
7					
8					

三、教學資源

- 實驗所需設備規格說明：

1. 直立式伺服器 + 顯示卡

- 課程投影片載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)
- 實驗手冊載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)

⁴ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

四、建議教科書

參考 1：

John L. Hennessy and David A. Patterson “Computer Architecture a quantitative approach”, 5th edition.

參考 2： David A. Patterson and John L. Hennessy “Computer organization and design”, 4th edition.

五、預修課程

基本程式設計 計算機結構

高階應用處理器系統課程精進模組

共享式記憶體多核心系統平台模組課程大綱—模組代號:AP-05

模 組	中文名稱：共享式記憶體多核心系統平台		
	英文名稱：ESL Design Platform for Shared-memory Multi-Core Systems		
	修習年級：碩博士生	每週授課時數：3小時 每週實作時數：12小時	學分：3 學分
可配合之既有教學課程 ⁵	高等計算機結構，多核心或其他電子系統設計相關課程		
課程主持人	國立清華大學電機工程學系，劉靖家教授	聯絡方式	E-mail: jjliou@ee.nthu.edu.tw Tel: 03-5162204

一、 課程簡介

課程目標：學習在電子系統層級(electronic system level, ESL)平台上建立共享式記憶體多核心系統，並了解快取和記憶體相關議題。

課程特色：以實作為主進行多核心系統平台的了解及建置。內容包括處理核心、匯流排以及記憶體和快取架構，以及程式設計模型(多執行緒)。

課程內容：本課程的設計由基本的 SystemC 及 TLM 的學習開始，並由單一處理器模擬出發，然後再擴充到多核心的平台，利用 SystemC/TLM 與 OVP 處理器模型，建立一模擬環境，學生可以在多核心模擬平台之上能撰寫、編譯並執行應用程式。在這一個課程模組中，我們建立以匯流排為基礎的共享記憶體式多核心系統，並介紹 Pthread 做為平行程式開發的函式庫，然後在引入多核心系統中重要的快取架構和一致性模型。

二、 課程大綱(含課程主題與內容進度表)

以下各單元除建議 SystemC 和 TLM 應排在課程前面，其餘皆可獨立教授。

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	SystemC 基礎介紹	Overview, data types and modules			
2	SystemC 進階議題	Processes, events, channels, signals, ports	SystemC 建模與模擬	模擬主機及 SystemC 軟體	
3	TLM 基礎介紹	Introduction, blocking transport			
4	TLM 進階	Nonblocking transport	TLM 建模與模擬	模擬主機及 SystemC 軟體	
5	OVP 處理器模型	Introduction and ICM C APIs	OVP 環境架設、應用程式編譯與模擬	模擬主機及 OVP 軟體	
6	OVP 處理器模型與其 TLM 介面	OVP TLM Wrappers	OVP/TLM 環境架設與軟體共同設計	模擬主機及 OVP 和 SystemC 軟體	
7	共享記憶體多核心系統之程式設計模型	Shared memory architecture and programming	Pthread 程式設計	模擬主機	

⁵ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

8	共享記憶體多核心系統之硬體架構	Shared memory hardware architecture	OVP/TLM 下的 Pthread 程式設計	模擬主機及 OVP 和 SystemC 軟體	
9	OCP 簡介	Introduction to bus and OCP	TLM non-blocking transport and OCP channels	模擬主機及 SystemC 軟體	
10	多核心系統與快取一致性協定	Shared memory cache coherence	共享記憶體多核心系統之快取一致性架構	模擬主機及 OVP 和 SystemC 軟體	

三、教學資源

- 實驗所需設備規格說明：
 - SystemC/TLM, TG2, OVP 等 open-source 或學校免費授權(OVP)工具。
 - 部分學校開發的電路以 library 方式使用。
 - 模擬主機將以 Virtualbox 的虛擬磁碟 (內建一 Linux 系統)為開發環境，此一虛擬磁碟可以安裝在一般工作站或 PC 主機上，其建置成本請以同時使用學生數和效能需求來估算，目前工作站配置 16G 以上記憶體可供 5-10 人同時使用 (和 project 大小有關)。

四、建議教科書

無

五、預修課程

大學部計算機結構，研究所高等計算機結構有幫助但非必須。

高階應用處理器系統課程精進模組

NoC 多核心系統平台模組課程大綱—模組代號:AP-06

模 組	中文名稱：NoC 多核心系統平台		
	英文名稱：ESL Design Platform for NoC Many Core Systems		
	修習年級：碩博士生	每週授課時數： <u>3</u> 小時 每週實作時數： <u>12</u> 小時	學分： <u>3</u> 學分
可配合之既有教學課程 ⁶	高等計算機結構，多核心或其他電子系統設計相關課程		
課程主持人	國立清華大學電機工程學系， <u>劉靖家</u> 教授	聯絡方式	E-mail: jjliou@ee.nthu.edu.tw Tel: 03-5162204

一、 課程簡介

課程目標：學習在電子系統層級(electronic system level, ESL)平台上建立 NoC 多核心系統，並了解快取和記憶體相關議題。

課程特色：以實作為主進行多核心系統平台的了解及建置。內容包括處理核心、晶片上網路以及記憶體和快取架構，以及程式設計模型(訊息傳遞介面)。

課程內容：本課程的設計由基本的 SystemC 及 TLM 的學習開始，並由單一處理器模擬出發，然後再擴充到多核心的平台，利用 SystemC/TLM 與 OVP 處理器模型，建立一模擬環境，學生可以在多核心模擬平台之上能撰寫、編譯並執行應用程式。這一課程模組中，我們介紹晶片上網路(network on chip, NoC)，並探討以 NoC 做為連接的多核心系統下的設計問題，包括訊息傳遞介面(message pass interface, MPI)的程式設計模型，以及 NoC 多核心系統傳輸效率和快取設計問題。

二、 課程大綱(含課程主題與內容進度表)

以下各單元除建議 SystemC 和 TLM 應排在課程前面，其餘皆可獨立教授。

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	SystemC 基礎介紹	Overview, data types and modules			
2	SystemC 進階議題	Processes, events, channels, signals, ports	SystemC 建模與模擬	模擬主機及 SystemC 軟體	
3	TLM 基礎介紹	Introduction, blocking transport			
4	TLM 進階	Nonblocking transport	TLM 建模與模擬	模擬主機及 SystemC 軟體	
5	OVP 處理器模型	Introduction and ICM C APIs	OVP 環境架設、應用程式編譯與模擬	模擬主機及 OVP 軟體	
6	OVP 處理器模型與其 TLM 介面	OVP TLM Wrappers	OVP/TLM 環境架設與軟體共同設計	模擬主機及 OVP 和 SystemC 軟體	
11	晶片上網路架構介紹	NoC introduction and interconnect topology			

⁶ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

12	晶片上網路 架構流程 控制	NoC flow control	TG2 之流程控制	模擬主機及 TG2 NoC 軟體	
13	晶片上網路 架構 switching	NoC Switching	Request and Response Network in TG2	模擬主機及 TG2 NoC 軟體	
14	晶片上網路 架構共享記 憶體之程式 設計模型	Shared memory programming with NoC	晶片上網路架構 Pthread Programming	模擬主機及 OVP, TG2 NoC 和 SystemC 軟體	
15	晶片上網路 架構分散式 記憶體之程 式設計模型	MPI Programming with NoC	晶片上網路架構 ilib Programming	模擬主機及 OVP, TG2 NoC 和 SystemC 軟體	

三、 教學資源

- 實驗所需設備規格說明：
- SystemC/TLM, TG2, OVP 等 open-source 或學校免費授權(OVP)工具。
- 部分學校開發電路以 library 方式使用。
- 模擬主機將以 Virtualbox 的虛擬磁碟 (內建一 Linux 系統)為開發環境，此一虛擬磁碟可以安裝在一般工作站或 PC 主機上，其建置成本請以同時使用學生數和效能需求來估算，目前工作站配置 16G 以上記憶體可供 5-10 人同時使用 (和 project 大小有關)。

四、 建議教科書

無

五、 預修課程

大學部計算機結構，研究所高等計算機結構有幫助但非必須。

高階應用處理器系統課程精進模組

多核心動態隨機存取記憶體子系統模組課程大綱—模組代號:AP-07

模 組	中文名稱：多核心動態隨機存取記憶體子系統		
	英文名稱：DRAM Sub-System in Many-Core Platform		
	修習年級： 大四、研究生	每週授課時數： <u>4</u> 小時 每週實作時數： <u>12</u> 小時	學分： <u>3</u> 學分
可配合之既有教學課程⁷	超大型積體電路設計或設計實習, IC Lab 等相關課程		
課程主持人	國立清華大學資訊工程學系, 黃稚存教授	聯絡方式	E-mail: cthuang@cs.nthu.edu.tw Tel: 03-5731213

一、課程簡介

課程目標：

透過課程引導學生了解數位超大型積體電路及處理器記憶體階層之系統設計的式樣與方法。

課程特色：

以實作為主，訓練學生獨立開發大型數位超大型積體電路系統及多核心平台設計的能力，並從中學習數位設計與解決問題的方法。

課程內容：

本課程的設計由數位積體電路的設計方法開始，介紹數位晶片設計流程。接著我們討論積體電路系統之架構，引進多核心平台，討論與 OpenCore 平台之設計整合，並介紹晶片內部匯流排與記憶體控制器之設計。利用其他課程模組開發之環境為基礎，探討積體電路系統設計，冀望培養修課學生具備數位系統設計的觀念與模擬、整合，與實作的能力。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	Introduction	數位積體電路系統設計簡介			
2	HDL Modeling	使用硬體描述語言建構硬體模型的方法	Combinational and Sequential Designs	模擬主機及 EDA 軟體	
3	Coding Techniques	版本控制 (Revision Control) 及回歸測試 (Regression Test) 簡介	Revision Control Walkthrough	模擬主機	
4	Debugging	數位電路偵錯方法簡介	數位電路偵錯實習	模擬主機及 EDA 軟體	
5/6	Synthesis	數位積體電路合成及可測試性之數位電路設計方法	數位積體電路合成實習	模擬主機及 EDA 軟體	
7/8	Case Study	設計實例	期中專題	模擬主機及 EDA 軟體	
9/10	APR	數位電路自動化擺放與繞線操作方法	數位電路自動化擺放與繞線實習	模擬主機及 EDA 軟體	

⁷ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

11/ 12	On-Chip Communication	晶片內部匯流排 (Bus) 介面與通訊整合簡介	晶片內部匯流排模擬	模擬主機及 EDA 軟體	
13	Introduction to DRAM	DRAM 簡介與 DRAM 元件組織之基本電路與架構		模擬主機及 EDA 軟體, FPGA Tool Chain	
14	DRAM Organization	DRAM 系統訊號、控制時序與記憶體系統組織	DRAM 控制器模擬	模擬主機及 EDA 軟體, FPGA Tool Chain	
15	DRAM Architecture	記憶體架構整合	記憶體架構整合實作與模擬	模擬主機及 EDA 軟體, FPGA Tool Chain	
16 17 18	Demo	學生專題作品展示		模擬主機及 EDA 軟體, FPGA Tool Chain	

三、教學資源

- 實驗所需設備規格說明：
 1. FPGA platform and tool chain
 2. Verilog simulator (ncverilog, VCS, etc.)

四、建議教科書

無

五、預修課程

數位系統設計、計算機組織、計算機結構

高階應用處理器系統課程精進模組

NOC 系統設計模組課程大綱—模組代號:AP-08

模 組	中文名稱：NOC 系統設計 英文名稱：NOC System Design		
	修習年級：碩士生	每週授課時數： <u>3</u> 小時 每週實作時數： <u>3</u> 小時	學分： <u>3</u> 學分
可配合之既有教學課程 ⁸	高等計算機結構學、多核心系統相關課程		
課程主持人	逢甲大學 資訊工程學系, 張貴忠教授	聯絡方式	E-mail: changkc@fcu.edu.tw Tel: 04-24517250 Ext: 3753

一、課程簡介

本課程的設計由基本的多核心架構出發介紹多核心系統中的各種常見的元件，包括處理器核心(processor cores)、晶片上連通元件(on-chip interconnect)、快取(cache)和記憶體(memory)系統，以建立學生對多核心系統的基本認識，並建立多核心系統的模擬環境。了解這一部分後，我們會進一步深入探討多核心晶片網路及其架構設計上的問題。晶片網路架構上常見之設計主題包含了連接拓樸架構、路由機制的設計、流量控制等相關的策略設計。因此，本課程將以循序漸進的方式指導學生深入了解多核心晶片網路架構設計上的種種理論問題，並透過模組實驗的方式讓學生更進一步體會高階多核心系統資料交換時真正會面臨到的問題與挑戰。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	多核心系統	多核心系統與晶片網路(NoC)簡介			
2	NoC 簡介	晶片網路 NOC 架構元件介紹			
3	NoC 平台操作	晶片網路模擬平台設定與基本操作	模組 1：瞭解 NOC 模擬平台，並學習設定與開始模擬	模擬主機及 TG2 NoC 模擬軟體	
4	NoC Topology 簡介	晶片網路(NoC)各種拓樸架構介紹			
5	NoC Topology I	晶片網路基本拓樸架構設計與模擬	模組 2：傳統的 Bus 的設定、模擬、與分析	模擬主機及 TG2 NoC 模擬軟體	
6	NoC Topology II	晶片網路進階拓樸架構設計與模擬	模組 3：進階 Mesh NoC 的設定、模擬、與分析	模擬主機及 TG2 NoC 模擬軟體	

三、教學資源

實驗所需設備規格說明：

實驗系統：Traffic Generator (TG2)、SystemC / TLM

實驗設備：Workstation

四、建議教科書

無

五、預修課程

高等計算機結構(章節主題：多處理器系統)、多核心系統與軟體(章節主題：多處理器通訊架構)

⁸ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

高階應用處理器系統課程精進模組

快取記憶體組織模組課程大綱—模組代號:AP-09

模 組	中文名稱：快取記憶體組織 英文名稱：Cache system organization		
	修習年級：碩士生	每週授課時數：3小時 每週實作時數：6小時 總共進行週數：4-5週	學分：3學分
可配合之既有教學課程⁹	計算機組織、高等計算機結構		
課程主持人	元智大學 資訊工程學系, 劉一宇教授	聯絡方式	E-mail:yyliu@saturm.yzu.edu.tw Tel: 03-4638800 Ext: 2377

一、 課程簡介

快取記憶體架構是影響處理器運算效能及功率消耗的關鍵。在多核心及異質整合的時代，如何設計合適的快取記憶體架構，是目前計算機系統中的重要議題。透過 Gem5 Simulator System 平台，我們可以有效地 model 快取記憶體，藉以評估不同快取記憶體對整體系統效能的影響。本課程模組強調以實作為主進行快取記憶體架構之模擬及分析。課程模組將先介紹快取記憶體的原理，再探討傳統快取記憶體之分類、組成及運作機制。接下來，我們會介紹 Gem5 系統層級模擬平台，循序漸進地帶領學生熟悉 Gem5 環境及程式開發架構，進而學習以 Gem5 環境開發快取記憶體模組。

二、 課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	快取記憶體組織	Gem5 系統模擬平台	Gem5 系統模擬環境 - 熟悉系統層級模擬器建置及操作 - 建立基本快取記憶體系統 - 修改快取記憶體系統組態	Gem5 模擬平台 模擬工作站	
2/3	快取記憶體組織	Gem5 系統模擬之快取記憶體組態分析	快取記憶體系統模擬 - 快取記憶體系統模擬結果分析	Gem5 模擬平台 模擬工作站	
4/5	快取記憶體組織	Gem5 系統模擬之快取記憶體置換機制	快取記憶體之置換機制 - 設計快取記憶體之置換機制	Gem5 模擬平台 模擬工作站	

三、 教學資源

- 實驗所需設備規格說明：

硬體：Multi-core UNIX-based (Linux) workstation，多核心模擬工作站。

軟體：Gem5 system simulator (可免費下載)

⁹ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

- 課程投影片載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)
- 實驗手冊載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)

四、 建議教科書

Computer Organization and Design, Fourth Edition: The Hardware/Software Interface

Computer Architecture, Fifth Edition: A Quantitative Approach

五、 預修課程

大學部：計算機組織－快取記憶體系統

高階應用處理器系統課程精進模組

AXI 系統晶片內部連結網路模組課程大綱—模組代號:AP-10

模 組	中文名稱：AXI 系統晶片內部連結網路模組		
	英文名稱：AXI SoC on-chip interconnection module		
	修習年級：碩士生	每週授課時數： <u>2</u> 小時 每週實作時數： <u>30</u> 小時	學分： <u>2</u> 學分
可配合之既有教學課程 ¹⁰	軟硬體協同設計專題		
課程主持人	國立中山大學資訊工程學系,黃英哲教授	聯絡方式	E-mail: ijhuang@cse.nsysu.edu.tw Tel: 07-5252000 Ext: 4315

一、課程簡介

AMBA 3.0 AXI 匯流排協定為 ARM 公司所發表的高速匯流排協定，可符合對於需要高效能及高頻率的系統設計。而本教材將介紹如何建構和驗證 SoC 上的 AXI 匯流排，包含介紹此系統晶片的系統匯流排 AMBA 3.0 AXI 並對之前 AMBA 2.0 AHB 與現在所使用的 AMBA 3.0 AXI 做比較、介紹關於 GIF 協定的設計及驗證、介紹如何將 IP 掛載至 AXI interconnection 上驗證、介紹如何建構 AXI-AHB 的 bridge、介紹從模組產生到最後合成至 FPGA 的流程步驟，包含如何使用 coreConsultant 來產生我們所需要的硬體模組，及如何使用 synplify 來合成我們的硬體至 FPGA 上，最後將介紹該怎麼使用 Identify 在 FPGA 上 Debugging。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	AMBA 3.0 AXI Overview	簡介 AMBA AXI 匯流排協定及其相關環境設計	AXI 設計環境模擬與 Master/Slave 接線測試 - 以 Design Ware 模擬 AXI 設計環境，同時解析 Library 中之 GIF 模組，並連接與測試周邊 Master/Slave 之連接	Synopsys VCS HDL Simulator、Synopsys CoreConsultant	
5	Generic Interface Introduction	介紹 Generic Interface 協定，並分別介紹 Master Generic Interface 及 Slave Generic Interface	CPU、記憶體在 AXI 匯流排環境上之接線與運作 - 將 CPU 與記憶體連接在 AXI 環境中，並觀察 CPU、記憶體間的互動與行為	Synopsys VCS HDL Simulator	
10	Verification of IP's GIF Interface	介紹如何對修改成 GIF 介面的 IP 進行驗證，以確保其可正確被使用	JPEG Decoder 於 AXI 環境顯示 JPEG 圖檔之實驗 - 以 JPEG Decoder 及相關程式將常見之圖片檔案格式 JPEG 呈現在模擬環境或是開發版的顯示螢幕上	Synopsys Synplify Premier、Socle MDK-3D Develop board、	

¹⁰ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

三、教學資源

- 實驗所需設備規格說明：

- ◆ MDK-3D Develop board

四、建議教科書

S. Pasricha and N. Dutt, "On-Chip Communication Architectures: System on Chip Interconnect", Morgan Kaufmann Publisher, 2008.

五、預修課程

大學部計算機組織：匯流排章節

高階應用處理器系統課程精進模組

處理器與快取記憶體整合模組課程大綱—模組代號:AP-11

模 組	中文名稱：處理器與快取記憶體整合模組		
	英文名稱：Processor and Cache System Laboratory		
	修習年級：大學生	每週授課時數： <u>3</u> 小時 每週實作時數： <u>3</u> 小時	學分： <u>3</u> 學分
可配合之既有教學課程¹¹	計算機組織		
課程主持人	國立成功大學電機工程學系, 陳中和教授	聯絡方式	E-mail: chchen@mail.ncku.edu.tw Tel: 06-2757575 Ext: 62394

一、課程簡介

教材特色：

本實習教材, 處理器與快取記憶體整合課程, 主要項目內容包括: MIPS and/or ARM 組語程式設計、C 與組語的關係、以 C 及 Verilog 撰寫處理器功能模組、中斷程式的設計、pipelined CPU 中斷處理模組的設計指令與資料快取記憶體的設計, 處理器系統平台的建置(FPGA)、AMBA 匯流排 (FPGA)、I/O 中斷控制器系統 (FPGA)、I/O systems (FPGA)。本教材依教育部補助智慧電子整合性人才培育計畫「處理器設計與實作課程」與實際上課需求, 整合為十二個連貫性的 LAB, 每個 LAB 內部包含範例練習與實作項目。本教材提供 MIPS ISS 執行檔、MIPS pipelined processor Modelsim work 目錄檔供直接使用。

教材架構及內容章節

LAB 01: Use of ISS and C2A (3-6 hours)

LAB 02: Describe C code in MIPS assembly (3 hours)

LAB 03: SystemC Implementation of Branch Instruction Function (3 hours)

LAB 04: Verilog Implementation of Branch Instruction Function (3 hours)

LAB 05: Verilog Implementation Of Arithmetic Logic Unit (ALU) (3 hours)

LAB 06: MIPS CPU Interrupts handler & ISR (3 to 6 hours)

LAB 07: MIPS CPU Interrupt Unit (3 hours)

LAB 08: ICACHE Design (3 hours)

LAB 09: DCACHE Design (3 hours)

LAB 10: Simple CPU System Platform & Memory Allocation (3 to 6 hours)

LAB 11: Multi-Master Bus Platform & Generic I/Os (3 to 6 hours)

LAB 12: Interrupt Controller & Interrupt Service Routines on EASY Platform (3 hours)

本模組可用於精進: (1)大學部計算機組織課程, (2) 大學部組合語言課程, (3)大學部微算機系統設計。

上課實施可依學生程度, 選擇實驗模組搭配。例如, 單獨進行 LAB 8 and LAB 9 快取實驗之前應先 go over LAB1, 欲學習 ARM 系統可直接進行 LAB10, LAB11, and LAB12.

組語課程可挑: LAB1, LAB2, LAB6 等。計算機組織課程全部適用, 微算機系統設計 LAB1, LAB2, LAB6, LAB10, LAB11, and LAB12 等。

¹¹ 指本模組可用於精進哪些既有教學課程, 配合哪些既有教學課程使用。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組	
週次	單元主題	內容綱要	實驗主題	平台
1	Tools and Instruction Set Design	1. Learn to use the simulation tools and the simulators 2. Learn basic MIPS assembly programming	LAB1: Use of ISS and C2A (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
2	Instruction Set Design	C code to assembly code transform	LAB2: Describe C code in MIPS assembly (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
3	Instruction Set Implementation	Implement processor branch instruction unit.	LAB 3: SystemC Implementation of Branch Instruction Function (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
4	Instruction Set Implementation	Implement processor branch instruction unit in Verilog	LAB 4: Verilog Implementation of Branch Instruction Function (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
5	Instruction Set Implementation	Implement processor ALU	LAB 5: Verilog Implementation of Arithmetic Logic Unit (ALU) (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
6	Processor Interrupt and System	Interrupt handler design	LAB 6: MIPS CPU Interrupts handler & ISR (3 to 6 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
7	Processor Interrupt and System	Implement pipelined processor interrupt unit	LAB 7: MIPS CPU Interrupt Unit (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
8	ICache Design	Implement ICache with pipelined processor	LAB 8: ICache Design	PC (Linux), Modelsim, MIPS cross compiler, Java
9	DCache Design	Implement DCache with pipelined processor	LAB 9: DCache Design	PC (Linux), Modelsim, MIPS cross compiler, Java
10/ 11	Processor Platform Design	Implement processor and AMBA platform in FPGA	LAB 10: Simple CPU System Platform & Memory Allocation (3 hours)	PC (Linux), Modelsim, ARM cross compiler, Xilinx XUPV5-LX110T Evaluation Platform
12/ 13	Processor Platform Design	Implement processor and AMBA platform in FPGA	LAB 11: Multi-Master Bus Platform & Generic I/Os (3 to 6 hours)	PC (Linux), Modelsim, ARM cross compiler, Xilinx XUPV5-LX110T Evaluation Platform

14/ 15	Processor Interrupt and System	Implement system interrupt service in FPGA	LAB 12: Interrupt Controller & Interrupt Service Routines on EASY Platform (3 to 6 hours)	PC (Linux), Modelsim, ARM cross compiler, Xilinx XUPV5- LX110T Evaluation Platform
-----------	---	--	---	---

三、教學資源

- 實驗所需設備規格說明：

1. MIPS/ARM: SDK 程式開發工具
2. Linux-based PC
3. RTL 設計: 可提供 verilog 模擬，並能與 SystemC co-design 之設計環境，如 Modelsim (CIC tool)
4. FPGA 板: 以能實現單核心處理器設計之中階 FPGA 平台

四、建議教科書

Computer organization and design, the hardware/software interface
D. A. Patterson and J. L. Hennessy
MIPS and/or ARM's edition

五、預修課程

計算機概論與邏輯系統設計

高階應用處理器系統課程精進模組

32 位元 Andes MCU 應用課程模組課程大綱—模組代號:AP-12

模組	中文名稱：32 位元 Andes MCU 應用 英文名稱：32-bit Andes MCU applications		
	修習年級：大學部	每週授課時數：1 小時 每週實作時數：3 小時	學分：3 學分
可配合之既有教學課程 ¹²	微算機原理及應用		
課程主持人	國立臺灣科技大學電子工程系, 阮聖彰教授	聯絡方式	E-mail: sjruan@mail.ntust.edu.tw Tel: 02-2737-6411

一、課程簡介

介紹同學運用 32 位元 Andes Core 的微算機系統，使學生得以由舊有的 8 位元之 8051，進一步的學習工業界急需的了解 32 位元系統架構之人才。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	簡介	32 位元 AndesCore 系統架構簡介	32 位元 AndesCore 系統架構簡介	ADP-WT59F064 平台	CH0
2	實驗一	基礎 GPIO 控制	基礎 GPIO 控制	ADP-WT59F064 平台	CH1
3	實驗二	UART 模組實驗	UART 模組實驗	ADP-WT59F064 平台	CH2
4	實驗三	RTC 模組實驗	RTC 模組實驗	ADP-WT59F064 平台	CH3
5	實驗四	TIMER 模組實驗	TIMER 模組實驗	ADP-WT59F064 平台	CH4
6	實驗五	Remote 模組實驗	Remote 模組實驗	ADP-WT59F064 平台	CH5
7	實驗六	PWM 模組實驗	PWM 模組實驗	ADP-WT59F064 平台	CH6
8					

三、教學資源

- 實驗所需設備規格說明：

ADP-WT59F064 平台/AICE/AndeSight

四、建議教科書

無

五、預修課程

微算機原理及應用/IO 控制、Timer、UART、RTC、PWM、Remote

¹² 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

高階應用處理器系統課程精進模組

超低電壓靜態記憶體設計課程模組課程大綱—模組代號:AP-13

模組	中文名稱：超低電壓靜態記憶體設計 英文名稱：Ultra Low Voltage SRAM Design		
	修習年級：碩、博士生	每週授課時數： <u>3</u> 小時 每週實作時數： <u>3</u> 小時	學分： <u>3</u> 學分
可配合之既有教學課程 ¹³	嵌入式記憶體設計		
課程主持人	國立中正大學電機工程學系, 王進賢教授	聯絡方式	E-mail: ieegsw@ccu.edu.tw Tel: 05-2720411 Ext: 33202

一、課程模組簡介

本課程模組主要是針對目前各大專院校電機、資訊相關科系常設之「VLSI 電路設計」、「奈米積體電路設計」、「低功耗電路設計」、「低電壓電路設計」、或「嵌入式記憶體設計」等課程所設計之附加模組，期望學生能對超低電壓靜態記憶體設計技術有基本的瞭解。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	SRAM Design Basics	Basic Design Concepts for Memory Cell、Memory Array、Row Decoder、Column Decoder、Sense Amplifier	SRAM Bitcell Layout & SNM Simulation	Workstation CIC IC design kit	
2	PVT Variations & Leakage in Nanometer CMOS Process	Nanometer CMOS Process and PVT Variations	SRAM Array Simulation	Workstation CIC IC design kit	
3	ULV SRAM Bit-cells	SRAMs in 2005~2010 ISSCC	Leakage-Aware Bitline Design	Workstation CIC IC design kit	
4	Read/Write Assist Circuitry for ULV SRAM	SRAMs in 2005~2010 ISSCC			

三、教學資源

實驗所需設備規格說明：工作站、PC、CIC 提供之設計工具

四、建議教科書

無(課程資料需查閱 IEL 電子資料庫)

五、預修課程

奈米積體電路設計
嵌入式記憶體設計

¹³ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

高階應用處理器系統課程精進模組

動態電壓頻率調整處理器設計課程模組課程大綱—模組代號:AP-14

模 組	中文名稱：動態電壓頻率調整處理器設計		
	英文名稱：DVFS Processor Design		
	修習年級：大四、研究生	每週授課時數： <u>3</u> 小時 每週實作時數： <u>3</u> 小時	學分： <u>3</u> 學分
可配合之既有教學課程¹⁴	計算機組織、計算機結構、可程式化硬體設計、系統晶片設計		
課程主持人	國立中正大學資訊工程學系, 林泰吉教授	聯絡方式	E-mail: tjlin@cs.ccu.edu.tw Tel: 05-2720411 Ext: 33134

一、 課程模組簡介

本課程模組主要是針對目前各大專院校電機、資訊相關科系常設之「計算機組織」、「計算機結構」、「低功耗處理器設計」等課程所設計之附加模組，期望學生能對動態電壓頻率調整（DVFS）技術處理器設計有基本的瞭解。

二、 課程大綱（含課程主題與內容進度表）

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題簡介	使用平台	備註
1	Overview	DVFS/power gating features in modern application processors (e.g. Intel Medfield, nVIDIA Tegra, Qualcomm Snapdragon, ...)			
2	DVFS Datapath Design	Delay/energy characterization of datapaths & DVFS mode design	Delay/energy characterization of processor datapath	Workstation CIC IC design kit	
3	DVFS Building Blocks	Building blocks of DVFS designs	Prototyping with real chips	PC/ Labview PXI SMU	
4	PMIC	Latency of DVFS mode changes	DVFS firmware	PC EVM	

三、 教學資源

- 實驗所需設備規格說明：

Workstation, CIC IC design kit

PC, Labview/PXI SMU, EVM

¹⁴ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

四、 建議教科書

無

五、 預修課程

數位系統導論、計算機組織、(超大型積體電路設計、數位積體電路)

高階應用處理器系統課程精進模組

低功率影像編碼系統模組課程大綱—模組代號:AP-15

模 組	中文名稱：低功率影像編碼系統		
	英文名稱：Low-power image encoding systems		
	修習年級：碩、博士生	每週授課時數：3小時 每週實作時數：42小時	學分：3 學分
可配合之既有教學課程¹⁵	多媒體 SoC 設計、IP 設計概論、智慧電子系統設計		
課程主持人	國立交通大學電子工程學系,郭峻因教授	聯絡方式	E-mail: jigu@nctu.edu.tw Tel: 03-5131597

一、課程簡介

本課程模組(低功率影像編碼系統模組)包含低功率影像編碼加速器設計、低功率影像編碼系統平台技術與節能異質多媒體系統等三個主題模組，期待計畫之執行，分三年期程完成上述三個主題模組之理論課程教材編撰、所搭配實驗課程之教材編撰、實驗設備之購置、實驗成果之系統展示項目建構等。期望修習本課程之碩、博士研究生能夠學習到低功耗影像編碼架構與晶片系統技術，以滿足目前產業界人才需求。目前本計畫已完成第一年教材：低功率影像編碼加速器設計之第一版課程教材，將以 H.264 intra frame encoding 作為實際設計案例，讓修課同學對於如何設計一個低功率影像編碼加速器設計有更進一步的了解。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	Topics on multimedia systems: Introduction to H.264 intra coding	Introduction to H.264 intra coding	Get familiar with H.264 JM	Linux workstation	
2	Fast algorithms for H.264 intra prediction	Introduction to fast algorithms for H.264 intra prediction	Developing H.264 intra prediction fast algorithms	Linux workstation	
3	Architectures for H.264 intra prediction(1)	Introduction to H.264 intra prediction hardware architecture	Low-power H.264 intra prediction hardware architecture design	Linux workstation、ESL 設計平台、platform	
4	Architectures for H.264 intra prediction(2)	Introduction to H.264 Transform/Quantization hardware architecture	Low-power H.264 Transform/Quantization hardware architecture design	Linux workstation、ESL 設計平台、platform	
5	Architectures for H.264 intra prediction(3)	Introduction to H.264 entropy coding engine	Low-power H.264 entropy coding engine design	Linux workstation、ESL 設計平台、platform	

¹⁵ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

6	H.264 intra coding accelerator IP design and verification	H.264 intra encoder architecture and H.264 intra encoder verification by using the platform	Low-power H.264 intra coding accelerator design	Linux workstation、ESL 設計平台、platform	
---	---	---	---	-------------------------------------	--

三、教學資源

- 實驗所需設備規格說明：

工作站、PC、IC 設計工具、ESL 設計平台

- 課程投影片載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)
- 實驗手冊載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)

四、建議教科書

Class note and reference documents could be referred on the e3.nctu.edu.tw site.

五、預修課程

1. 數位系統導論
2. 多媒體影像處理
3. 超大型積體電路系統設計概論
4. 低功率多媒體設計技術

高階應用處理器系統課程精進模組

低功率系統時脈產生器模組課程大綱—模組代號:AP-16

模 組	中文名稱：低功率系統時脈產生器		
	英文名稱：Ultra-Low Power System Clock Generator		
	修習年級：碩博	每週授課時數： <u>3</u> 小時 每週實作時數： <u>3</u> 小時	學分： <u>3</u> 學分
可配合之既有教學課程¹⁶	高等數位積體電路設計		
課程主持人	國立中正大學資訊工程學系,鍾菁哲教授	聯絡方式	E-mail: wildwolf@cs.ccu.edu.tw Tel: 05-2720411 Ext: 33129

一、 課程簡介

為了要延長系統晶片可使用的時間，並降低功率密度與避免晶片溫度過高，晶片上各模組必須進行功率最佳化。動態電壓與工作頻率調整技術，目前已經被廣泛應用在系統晶片的電源管理上，然而傳統上由類比鎖相迴路所實現之系統時脈產生器，大多無法順利的降低其工作電壓，並且傳統類比鎖相迴路通常鎖定時間都很長，因此導致鎖相迴路不常關閉。也因此當系統待命時，一直在運作的鎖相迴路的功率消耗就變成系統晶片待機功率消耗的主要來源。本課程模組包含低功率全數位鎖相迴路設計技術、抗變異參考時脈產生器設計技術與低功率系統匯流排設計與時脈責任週期校正技術等三個主題模組，藉由理論課程教材與所搭配實驗課程之教材，將可培育修習本課程之碩博士研究生能夠學習到如何設計可在低電壓下工作之低功率系統晶片(SoC)時脈產生器的相關技術，以滿足目前對低功率無線生醫網路開發與設計人才的需求。

二、 課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	Introduction to AMS Design Flow and PLL/DLL	Mixed-Signal IC Design Flow and Introduction to PLL/DLL	無	無	
2	PLL Building Blocks	Circuit Simulation with HSPICE	無	無	
3	PLL Building Blocks	Digital Controlled Oscillator (DCO)	Design a Digital-Controlled Oscillator with HSPICE	工作站與 IC 設計工具	
4	PLL Building Blocks	Fast-SPICE Full-Chip Simulation with UltraSIM	無	無	
5	PLL Building Blocks	Phase/Frequency Detector (PFD)	Design a Phase and Frequency Detector (PFD) with UltraSIM	工作站與 IC 設計工具	
6	Digital Modeling	Digital Modeling with Verilog	Build-up DCO model and PFD model with NC-Verilog	工作站與 IC 設計工具	
7	PLL Building Blocks	Frequency Divider and PLL Controller	Design Frequency Divider and All-digital PLL Controller with NC-Verilog	工作站與 IC 設計工具	

¹⁶ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

8	AMS Simulation Platform	Introduction to AMS Simulator (AMS-Ultra) and Virtuoso Platform	Design a FSK modem with AMS-Ultra	工作站與 IC 設計工具	
9	DLL Building Blocks	Phase Detector (PD) and Time-to-Digital Converter (TDC)	無	無	
10	DLL Building Blocks	DLL Controller Design	無	無	
11	DLL Building Blocks	Multi-phase Clock Generator	無	無	
12	Ultra-Low Voltage ADPLL	Low-voltage ADPLL with Fast Settling Time	Pulse-Latch Design and Low-Voltage ADPLL with Fast Settling Time	工作站與 IC 設計工具與 Platform	
13	Final Project	Design an All-digital Phase-Locked Loop		工作站與 IC 設計工具	

三、教學資源

- 實驗所需設備規格說明：
 1. Linux 工作站(用於實作模擬電路使用)
 2. PC 與 IC 設計工具(整理數據與電路模擬軟體)
 3. platform (設計 AMBA Bus Arbiter, 當系統進行動態電壓與頻率調整時, 暫停所有模組動作, 直到時脈產生器模組重新完成鎖定後才恢復系統正常動作)
- 課程投影片載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)
- 實驗手冊載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)

四、建議教科書

"CMOS VLSI Design – A Circuits and Systems Perspective", Neil H.E. Weste, and David Harris, Third Edition, *Pearson*, 2005, ISBN: 0-321-26977-2.

"All-Digital Frequency Synthesizer in Deep-Submicron CMOS", *WILEY*, 2006, ISBN: 978-0-471-77255-2

五、預修課程

數位積體電路設計
超大型積體電路系統設計概論

高階應用處理器系統課程精進模組

切換式降壓電壓轉換器設計模組課程大綱—模組代號:AP-17

模 組	中文名稱：切換式降壓電壓轉換器設計		
	英文名稱：Design of Switching Buck Converter		
	修習年級：碩士生	每週授課時數：3小時 每週實作時數：3小時	學分：3學分
可配合之既有教學課程¹⁷	進階極低功率積體電路與系統設計		
課程主持人	國立中正大學電機工程學系, 黃崇勛 教授	聯絡方式	E-mail: ieechh@ccu.edu.tw Tel: 05-2720411 Ext: 33230

一、課程簡介

隨著系統晶片的整合度越來越高，功率消耗也越來越高，整合電源管理單元的系統單晶片也變的相當重要且常見。常見的電源管理單元包含各式各樣的電源供應電路以及電源管理控制器，電源供應電路根據行為又可區分為切換式(電感、電容式)與線性電源供應電路，每一種電路有其特性與適合的應用。根據文獻的探討，切換式降壓轉換器適用於轉換大電壓差且可提供較大的輸出負載電流，但卻有較大的輸出漣波以及較慢的暫態反應時間；而線性電壓調節電路卻有快速的反應時間以及平穩的輸出電壓，但是對於大電壓轉換的效率會很差。因此，常見使用於系統單晶片電源管理單元之電源供應電路會是以切換式降壓轉換器來轉換大電壓差並達成高轉換效率並搭配線性電壓調節電路來輸出穩定的低電壓來供系統使用。綜合上述之設計趨勢，電源管理單元設計技術已成為未來晶片系統之設計主流，本課程模組針對切換式降壓電壓轉換器分成以下四大主軸設計相對應之理論課程與實驗教材：

- (1) Introduction to the design of basic buck converter;
- (2) Controlling algorithms for buck converter;
- (3) Controller architecture and sub-circuits for buck converter;
- (4) Physical designs and real chip verifications;

期望能讓修習本課程之碩博士班學生能對晶片系統電源管理技術之切換式降壓轉換器有所了解，以滿足目前產業界人才需求。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	Introduction to buck converter	Basic working principles of switching converters	Buck converter prototype implementation (Power Stage Design/Analysis)	Workstation/PC	
2	Controlling algorithms	Different control mode Introductions (e.g. PWM, PFM, pulse skipping)	Design for a given specification (CCM/DCM boundary, voltage ripple ..etc)	Workstation/PC	
3	Controller architecture & sub-circuits	Learn how to design a specified controller and the related key sub-blocks (error amplifier, current sensing ...etc)	Controller of Buck converter design and stability analysis	Workstation/PC	
4	Physical designs & real chip verifications	Design issues of chip implementation, measurement considerations, and testing environment setups	Measure environment setup and test chip measurement	相關量測儀器	

¹⁷ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

三、教學資源

- 實驗所需設備規格說明：
 - 高階電路模擬用工作站 LCR Meter
 - Programmable DC Electronic Load Machine
 - Current Meter
 - Current Probe
 - Programmable DC Source
 - Oscilloscope

- 課程投影片載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)

- 實驗手冊載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)

四、建議教科書

1. R. W. Ericksson, and D. Maksimoic, Fundamental of Power Electronics, 2nd ed., New York: Springer-Verlag, 2001. (ISBN 978-0-7923-7270-7)
2. Technical papers from IEEE Explorer (<http://ieeexplore.ieee.org/Xplore/home.jsp>)
3. Datasheets of commercial power IC products (e.g. <http://www.linear.com/>)

五、預修課程

積體電路導論
低功率積體電路設計
特殊應用積體電路設計

高階應用處理器系統課程精進模組

編譯器實作課程模組課程大綱—模組代號:AP-18

模 組	中文名稱：編譯器實作		
	英文名稱：Compiler Code Optimizations for Modern CPU Architectures		
	修習年級：研究生及大學生	每週授課時數：3小時 每週實作時數：2小時	學分：3學分
可配合之既有教學課程¹⁸	編譯器設計與製作		
課程主持人	國立交通大學資訊工程學系, 楊武 教授	聯絡方式	E-mail: wuuyang@cs.nctu.edu.tw Tel: 03-5712121 Ext: 56614

一、 課程簡介

本模組包含三方面:傳統程式優化技術、同質多核心平台之平行化編譯器優化技術、高效能多核心 GPU 編譯器優化技術。這三方面各包含一套教材及一套實驗手冊。

在第一部分，傳統程式優化技術介紹基本的程式優化機會、問題、及解決方法。首先做控制流向之分析，接著做資料流向之分析，最後利用這些分析的結果做各式各樣的程式優化，例如 register allocation, constant propagation 等，最後我們在介紹最新的 static single assignment form。

第一部分包含一項實作 register allocation 的實驗，這項實驗介紹如何在 LLVM 架構下增加一個步驟，在實驗中，我們只採用最簡易的 register allocation，將來教師與學生可以代換成其他的 register allocation 演算法。這對教學與研究均很方便。

在第二部分，GPU 的運算所扮演的角色從過去處理大部分的多媒體圖形資料到現在廣泛的被用來加速處理大量數值運算，越來越多資料可以透過 GPU 的多核平行運算來提升運算效率並節省時間。我們利用 OpenCL 來對 GPU 做程式設計。在教材的部分，我們介紹 OpenCL 的模型、記憶體架構等。

在第二部分的實驗部分，我們要求學生解決 branch divergence 問題，並期待學生藉著此項實驗，能夠熟習 OpenCL 與 GPU 程式設計，以及 LLVM 這項實作的工具。

在第三部分教材的部分，我們介紹 multicore 的硬體架構，並且利用 OpenMP 來介紹對 multicore 做平行程式設計，以及編譯與優化之技術。

在第三部分的實驗，企圖在 LLVM 中建立一個 pass，並使用新建立的 LLVMpass 對 OpenMP 程式進行迴圈互換的優化處理，並比較優化前後對於程式執行效能的影響。希望經由這個實驗，能夠對 LLVM pass 的開發有更進一步的認識。

¹⁸ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	Traditional compiler optimization for compiler design and implementation	1. Overview 2. Control flow analysis			
2	Traditional compiler optimization for compiler design and implementation	3. Introduction to data flow analysis 4. Data flow framework			
3	Traditional compiler optimization for compiler design and implementation	5. Evaluation 6. Constant propagation	在 LLVM 架構裡增加 register allocation 的項目	1. Unix-like System Open Source : 2. LLVM 3.3 3. clang	
4	Traditional compiler optimization for compiler design and implementation	7. SSA form			
5	使用 LLVM 實作減少 OpenCL 程式分支分岐 (Branch Divergence Reduction of OpenCL Programs Using LLVM)	1. Branch Divergence Reduction of OpenCL Programs Using LLVM 2. Building Up the Environment	使用 LLVM 實作減少 OpenCL 程式分支分岐 (Branch Divergence Reduction of OpenCL Programs Using LLVM)	1. Unix-like System: 實驗環境可為 Mac OS, Fedora18, FreeBSD9 等, 本實驗模組以 Ubuntu12.04.2 OS 為 OS 環境 2. Display Driver 3. OpenCL 語言 4. LLVM 5. clang 6. libclc	

6	使用 LLVM 實作減少 OpenCL 程式分支分岐 (Branch Divergence Reduction of OpenCL Programs Using LLVM)	3. Introduction to LLVM			
7	編譯器實作模組--同質多核心平台的編譯器優化	1. Parallel Computing and Parallel Programming 2. Parallel Code Optimizations	Attaching a Loop-Interchange Optimization Pass in LLVM Compiler Infrastructure for Modern CPU architectures	1. 多核心處理器 PC：可順暢執行 Linux (64-bit)及 GCC(GNU Compiler collection，GNU 編譯器套裝)軟體開發工具 2. LLVM 3. OpenMP Runtime Library	
8	編譯器實作模組--同質多核心平台的編譯器優化	3. OpenMP 4. Compiler Infrastructure			

三、教學資源

- 實驗所需設備規格說明：
請見上表之實驗模組所使用的軟硬體平台
筆記型電腦(個人電腦)

四、建議教科書

本模組自行編撰教學投影片。

Chapter 15 of C.N. Fischer, R.K. Cytron, and R.J. LeBlanc, Jr., *Crafting a Compiler*, Addison-Wesley, 2010.

五、預修課程

編譯器設計の後段(backend)，介紹編譯器設計之優化過程。

平行程式設計與 GPU 程式設計，介紹 OpenMP 程式碼優化

高階應用處理器系統課程精進模組

基礎軟硬體設計概論與實作模組課程大綱—模組代號:AP-19

模 組	中文名稱：基礎軟硬體設計概論與實作		
	英文名稱：Introduction to Software-Hardware System Designs and Implementations		
	修習年級：碩士及大學生	每週授課時數： <u>3</u> 小時 每週實作時數： <u>12</u> 小時	學分： <u>3</u> 學分
可配合之既有教學課程¹⁹	軟硬體協同設計		
課程主持人	國立交通大學資訊工程學系, 蔡淳仁教授	聯絡方式	E-mail: cjtsai@cs.nctu.edu.tw Tel: 03-5731628Ext: 31628

一、課程簡介

本模組以軟硬體系統整合的實務訓練為主要目的，希望學生能對系統單晶片的軟硬體模組的切割，以及通訊及同步功能的實作有紮實的了解。課程的設計是以 Xilinx Zynq 7020 SoC 為目標平台。Zynq 7020 SoC 在單晶片上整合了兩個 ARM Cortex A9 核心、大容量的可程化邏輯單元（可由使用者客製化的數位電路大小約相當於 1.3M ASIC gates）、以及常用的通訊 digital controller 模組（如 USB 2.0、Gigabit Ethernet、UART 等）。另外，Linux kernel 的官方版本已經正式支援這顆應用處理器，晶片內的一些基本通訊功能也有完整的支援，因此十分適合訓練學生熟習處理器的軟硬體設計。

在課程採用的 EDA 工具方面的規劃，我們預計使用 Xilinx 的 ISE Design Suite, System Edition。這是一套內含軟硬體設計及實作工具的套裝軟體。這套軟體從一開始的硬體 SoC 平台設計、產生系統軟體（如 Linux kernel 或 FreeRTOS）所需的 BSP、軟硬體的整合、系統上線後的即時除錯（包含軟體和電路）等等，都可以在整合的 IDE 下執行。在 application processor (AP) 設計階段，設計者可以透過圖形界面從 IP library 中任意選擇 AP 所要使用的 IP 模組，甚至可以創造出異質多核心的 AP。

另外，在系統上線後的即時除錯方面。這套系統可以在設計階段半自動的由設計者透過圖形界面選擇在電路執行時希望監控的訊號，將之牽引(break out)到一個內建的 trace buffer 中，當 trigger conditions 發生時，所有我們想監控的訊號狀態（含 AXI bus signals 和 user-logic signals）都可以記錄下來，透過 JTAG 界面傳回 host computer 進行分析。而且設計者可以配合 gdb 進行同步即時軟體行為的監控除錯（例如，某個 I/O register 的 signal change 可以同時觸發電路訊號的回傳，及軟體 watch point 進行 variable dump）。這套 EDA 工具，配合 Xilinx Platform FPGA 的使用，應該是目前業界功能最完整的 real-time hardware-software co-design & co-verification 設計工具。

為了讓學生能充分應用課程模組的軟硬體平台，以了解軟硬體系統實作細節，我們的課程模組是由一個 C 語言實作的程式出發做為初始的系統模型 (behavior model)，在實際平台上分析這個系統純由處理器 (ARM Cortex A9) 執行時所需的各項資源（計算量、模組間的通訊量、及資料存取量）需求。接下來，我們會訓練學生根據分析所得的結果，把系統切割成子模組，有的模組適合用軟體進行實作、有的模組適合用數位電路進行實作。在適合用電路實作的模組部份，我們會讓學生練習客製化加速電路的設計，以及讓學生學習加速電路如何透過 AXI bus 和處理器溝通，共同完成一件工作。

¹⁹ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	Understanding the co-design platform	熟悉 Xilinx 的 EDA 工具及 Zynq 7020 的軟硬體開發	<ul style="list-style-type: none"> • Synthesis of a HW platform • Dhrystone Benchmarking 	ZedBoard	
2	Profiling a system behavior	用 instruction set simulator 及 real-time timer 分析 C-model	<ul style="list-style-type: none"> • Profiling using Armulator • Profiling using real-time timer 	ZedBoard	整個課程採用的 system model 是一個人臉比對的程式
3	Simple hardware IP design	根據之前的分析，把 C model 中最花時間的 function 部份切出來做成硬體電路	<ul style="list-style-type: none"> • Design of a slave IP with memory-mapped IO 	ZedBoard	這個 lab 的設計讓學生體會，不當的軟硬體切割反而會減速（10 倍）
4	Interrupt-driven HW-SW communication interface	學習如何設計一個 interrupt-driven 的軟硬體溝通介面	<ul style="list-style-type: none"> • Design of a watchdog timer 	ZedBoard	
5	Design of a complex IP	學習如何設計含複雜控制電路的 IP，以及如何利用 ChipScope 進行 online IP debugging	<ul style="list-style-type: none"> • Complex IP design • Online HW debugging using ChipScope Pro 	ZedBoard	這個 lab 修正了 lab2 的電路缺點，最後的成果，學生應該能夠讓 100 MHz 的電路加速效果為 667MHz 的 ARM A9 的 4.5 倍以上
6	Usage of on-chip memory	學習如何利用 on-chip memory 在不犧牲效能的前題下，大幅減少電路的製造成本	<ul style="list-style-type: none"> • Synthesis of on-chip memory using FPGA BRAM resource 	ZedBoard	
7	Master IP interface design	學習如何從客製化 IP 中不透過 processor core 存取資料	<ul style="list-style-type: none"> • Design of a DMA 	ZedBoard	
8	Optimization under Multithread Platforms	學習如何配合多執行緒的系統軟體來進行軟硬體系統的優化	<ul style="list-style-type: none"> • Using FreeRTOS on Zynq 7020 • Full system HW-SW optimization 	ZedBoard	最後的系統效能應該可以達到原始系統的 10 倍以上

三、教學資源

- 實驗所需設備規格說明：
- 實驗平台是 ZedBoard，這是由國外廠商開發的 FPGA 平台，包含完整的軟硬體系統設計 EDA 工具。目前國外已經有許多人在 ZedBoard 進行 open source 的軟硬體系統計畫，有相當大的 user community，支援維護不是問題。

四、建議教科書

本模組自行編撰教學投影片。

五、預修課程

數位電路設計、計算機組織 或 數位系統設計。

高階應用處理器系統課程精進模組

GPU 軟體工具模組課程大綱—模組代號:AP-20

模 組	中文名稱：GPU 軟體工具模組 英文名稱：GPU Software Tools Development		
	修習年級：研究生	每週授課時數：3 小時 總共授課時數：54 小時	學分：3 學分
可配合之既有教學課程 ²⁰	GPU 設計之軟體工具開發		
課程主持人	國立清華大學資訊工程學系, 李潤容教授	聯絡方式	E-mail: rrlee@cs.nthu.edu.tw Tel: 03-5731203

一、 課程簡介

本課程模組主要是介紹 GPU 設計時所需要之軟體工具模組，GPU 是十分複雜的 IC 設計，整合了數百萬的邏輯閘和電路，以便快速有效地完成複雜的繪圖成像過程，因此在 GPU 的設計和除錯的流程中便需要開發許多的軟體工具來幫助設計的正确性與完整性。

在本課程中，我們將先介紹 GPU 設計的流程，以及簡介在設計階段和除錯階段所需要開發的相關軟體工具，在這些工具中，針對幾種主要工具做詳細說明，包括功能性 C-model、patternt 產生、效能評測。

功能性 C-model 在架構設計、演算法驗證、準確位數決定等都扮演十分重要的腳色，此外他也扮演協助硬體除錯及測試 pattern 的產生，藉由 3D 繪圖管線流程及各種模組之演算法介紹，讓大家可以設計相關功能性 C-model，協助硬體驗證，本課程可包含一模擬 3D 繪圖管線模擬的功能性 C-model 設計，可繪製給定之測試 3D 模型資料。

Pattern 產生包括測試 pattern 和除錯 pattern 兩種功能，測試 pattern 主要為驗證 GPU 硬體設計之完整性，除錯 pattern 則是在發現 GPU 設計有錯時所需產生之協助除錯的測試 pattern，本課程將包含一實驗模組嘗試從實際的應用軟體 (如 3D 遊戲) 擷取有用之測試 pattern。

效能評測軟體則是用來驗證所設計之 GPU 是否達到其設計規格之效能設定，藉由一些特定設計之軟體，可以量測出硬體設計各模組的效能，協助 GPU 硬體設計在效能上的提升，本課程也包含一實驗模組讓學生針對所了解之 GPU 硬體架構，設計相關之效能測試軟體，驗證測試數據與實際硬體設計之差異。

二、 課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1~2	Introduction to GPU Development Flow	GPU 設計流程簡介			
3~4	Software Tools for GPU Development	GPU 設計所需之軟體工具簡介			

²⁰ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

5~14	Function C-Model Design	<ul style="list-style-type: none"> ● Introduction to Graphics Pipeline ● Line and Triangle Rasterization ● Transformation and Lighting ● Texture Mapping and Color Combine ● Vertex Shader and (Pixel) Fragment Shader 	<p>Functional C-model 實作：</p> <p>輸入 3D 測試模型資料，實作 Line 和 Triangle Rasterization，輸出繪製之 3D 模型影像；輸入幾何轉換及視角轉換參數，輸出 3D 模型經轉換後之 3D 模型影像；輸入光源及物體材質之參數，輸出 3D 模型經光源照射後所呈現之 3D 模型影像；輸入 3D 模型之材質貼圖座標，輸出 3D 模型經材質貼圖後的 3D 模型影像。</p>	個人電腦或筆記型電腦	
15~17	Tools for Test Patterns Generation	<ul style="list-style-type: none"> ● Functional Test Pattern Design ● Test Patterns from Applications ● Test Patterns for Debugging 	<p>從應用程式擷取之測試 pattern：</p> <p>輸入應用程式之 trace data (從 Atila project 內之 Trace file 來) 及擷取參數，輸出擷取完之測試 pattern。</p>	個人電腦或筆記型電腦	
18	Tools for Performance Assessment	<ul style="list-style-type: none"> ● Fill Rate Test ● Triangle Rate Test 	<p>效能評測軟體：</p> <p>針對測試之 GPU，設計效能評測軟體，可在 PC 或行動裝置上量測相關效能數據。</p>	個人電腦或筆記型電腦或平板手機	

三、教學資源

- 實驗所需設備規格說明：

筆記型電腦(個人電腦)

四、建議教科書

無

五、預修課程

計算機圖學
程式設計
計算機結構

高階應用處理器系統課程精進模組

處理器系統節能實作模組課程大綱—模組代號:AP-21

模 組	中文名稱：處理器系統節能實作模組		
	英文名稱：Low Power Processor Lab Module		
	修習年級：碩博士生	每週授課時數： <u>3</u> 小時 每週實作時數： <u>3</u> 小時	學分： <u>1</u> 學分
可配合之既有教學課程²¹	嵌入式系統設計、節能計算、低功率系統設計、高等計算機組織、高等作業系統、高等編譯器設計		
課程主持人	國立交通大學資訊工程學系, <u>曹孝樸</u> 教授	聯絡方式	E-mail: sltsao@cs.nctu.edu.tw Tel: 03-5712121 Ext: 54717

一、 課程簡介

隨著資通訊系統大量的使用，資通訊系統(ICT)的耗電已經佔據全部電力能源消耗的6%以上，未來更以每年12%的速度成長。因此計算機系統的耗電問題已經成為計算機架構、記憶體系統設計、多核心系統設計、作業系統、編譯器，乃至於應用軟體設計的重要設計考慮之一，除此之外，耗電問題對於以電池供電的行動裝置來說，更是直接影響其使用與待機時間，電力消耗更成為行動裝置軟硬體設計一個極為關鍵的設計限制。本課程模組主要為處理器系統節能實作模組，其目的在於培養學生深入掌握節能技術的軟硬體系統知識，期望提升學生在處理器系統節能技術方面與實做能力。

二、 課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	1	CMOS power consumption models	使用 SimpleScalar 和 Wattch 做耗電量測 (Power Consumption Estimation using SimpleScalar/Wattch)	PC	
2	2	Power measurement/estimation of computer system	系統層級之耗電評估 (System-level power estimation)	PC	
3	3	Energy-aware operating system designs	動態電壓與頻率調整 (Dynamic voltage and frequency scaling)	PC	
4	4	Energy-aware compiler designs	Idle Mode 管理 (Idle Mode Management)	PC	
5					
6					
7					
8					

²¹ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

三、教學資源

- 實驗所需設備規格說明：
可以在筆記型電腦(個人電腦)或嵌入式開發版進行實驗：
 1. 嵌入式系統開發版
 2. 耗電量測設備與軟體工具
- 課程投影片載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)
- 實驗手冊載點：
ATP 辦公室課程資料庫(<http://atp.ee.nchu.edu.tw/xms/>)

四、建議教科書

無

五、預修課程

基礎課程：數位邏輯設計、電子電路、系統程式、程式語言、數位訊號處理
進階課程：計算機組織、微處理器實驗、作業系統概論

高階應用處理器系統課程精進模組

多核心晶片硬體設計實作模組課程大綱—模組代號:AP-22

模 組	中文名稱：多核心晶片硬體設計實作 (研究所)		
	英文名稱：Multicore Chip Hardware Design		
	修習年級： 碩、博士生	每週授課時數：__小時 每週實作時數：__小時	學分：__學分
可配合之既有教學課程 22	高等計算機結構、多核心系統設計相關課程		
課程主持人	國立交通大學資訊工程學系, 陳添福教授	聯絡方式	E-mail:tfchen@cs.nctu.edu.tw Tel:03-5712121 Ext: 31396

一、課程簡介

課程概述與目標：

先進多核心處理器已是目前各類智慧型裝置的關鍵性元件。國際大廠亦莫不以多核心處理器為各式產品的商業訴求。Nvidia Tegra3 與 Samsung Exynos 四多核心處理器皆即將進入新一代智慧型手機系統。

此課程係本系負責「教育部智慧電子人才培育先導型計畫-CPU 課程發展計畫」其中研究所階段的一環課程，希能訓練學生在晶片系統方面具有設計或運用處理器能力，為國內 IC 設計產業發展 multicore 關鍵性技術奠下深厚的基礎。此模組著重多核心系統 RTL 硬體與 FPGA 整合部分。

此課程將以 5 項實驗模組，全部以 RTL 與 FPGA 為主體，搭配實際應用 synchronization 範例介紹，提供多核心晶片系統層級設計硬體實作各項流程介紹，期能使學生透過 RTL 的實作，逐步完成一組四核心處理器系統的雛形。處理器方面考慮實作可行性，我們將以國內自主設計之 Andes Core 為主軸(RTL wrapper)，以設計實例包裝處理器核心為個別 IP，使得其他 multicore 單元設計與處理器關係盡量獨立。

目標：

1. 具有多核心晶片設計(Multicore SoC) 各項流初步概念
2. 熟悉 Multicore 系統 cache coherence 硬體各單元設計
3. 熟悉如何設計 atomic 指令以支援 Multicore synchronization 系統設計
4. 完成一組四核心處理器系統的 RTL 與 FPGA 設計實例

²² 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

二、課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	Multicore HW components	1. Inter-Core communication 2. Coherent bus	Lab 4: Cache Implementation	Aldec RTL platform	
2		1. Consistency model 2. Cache coherence	Lab 5: MI Cache Coherence Protocol	Aldec RTL platform	演講
3		Multicore memory hierarchy			
4		1. Test access 2. System debugging	Lab 5: MI Cache Coherence Protocol	Aldec RTL platform	
5	FPGA integration	Atomic instructions	Lab 7: Synchronization HW&SW	Aldec System C+RTL platform	演講
6		HW synchronization supports in multicore			演講
7		SW synchronization primitives	Lab 8: a light-weight multithreading library	Aldec System C+RTL platform	
8		Pthread multithreading library			演講

三、教學資源

- 實驗所需設備規格說明：

Aldec SystemC+RTL platform、Aldec RTL platform、Andes FPGA board

四、建議教科書

自編課程與實驗教材(將提供教育部 CPU 課程發展計畫推廣使用)

五、預修課程

組合語言、計算機組織、VLSI 設計

高階應用處理器系統課程精進模組

多核心晶片系統層級設計模組課程大綱—模組代號:AP-23

模 組	中文名稱：多核心晶片系統層級設計 (研究所)		
	英文名稱：Multicore Chip by ESL Platform		
	修習年級：碩、博士生	每週授課時數：_小時 每週實作時數：_小時	學分：_學分
可配合之既有教學課程 ²³	高等計算機結構、多核心系統設計相關課程		
課程主持人	國立交通大學資訊工程學系, 陳添福教授	聯絡方式	E-mail: tfchen@cs.nctu.edu.tw Tel:03-5712121 Ext: 31396

一、 課程簡介

課程概述與目標：

先進多核心處理器已是目前各類智慧型裝置的關鍵性元件。國際大廠亦莫不以多核心處理器為各式產品的商業訴求。Nvidia Tegra3 與 Samsung Exynos 四多核心處理器皆即將進入新一代智慧型手機系統。

此課程係本系負責「教育部智慧電子人才培育先導型計畫-CPU 課程發展計畫」其中研究所階段的一環課程，希能訓練學生在晶片系統方面具有設計或運用處理器能力，為國內 IC 設計產業發展 multicore 關鍵性技術奠下深厚的基礎。此模組著重系統層級與軟體的整合，不涉及 RTL 與 FPGA 硬體部分。

此課程將以 6 項實驗模組，全部以 SystemC 為主體，搭配實際應用 multithreading 範例介紹，提供多核心晶片系統層級設計實作各項流程介紹，期能使學生透過 ESL simulator 及 SystemC 的實作，逐步完成一組四核心處理器系統的雛形。處理器方面考慮實作可行性，我們將以國內自主設計之 Andes Core 為主軸(SystemC)，以設計實例包裝處理器核心為個別 IP，使得其他 multicore 單元設計與處理器關係盡量獨立。

目標：

1. 具有多核心晶片設計(Multicore SoC) 各項流初步概念
2. 熟悉 Multicore 系統硬體各單元設計
3. 熟悉 Multicore 系統軟體 multithreading library 設計
4. 完成一組四核心處理器系統的系統層級設計實例

二、 課程大綱(含課程主題與內容進度表)

課程大綱			實驗模組		
週次	單元主題	內容綱要	實驗主題與簡介	使用平台	備註
1	ESL platform	1. Code development 2. SW Debugging	Lab 1: Andes Core programming	Andes Sight	
2		High-level modeling by SystemC	Lab 2: Andes core with simple bus	Aldec SystemC platform	
3		32b CPU Core design simulation model			

²³ 指本模組可用於精進哪些既有教學課程，配合哪些既有教學課程使用。

4		Cache design	Lab 3: A simple 4-core ESL with Cache design	Aldec SystemC platform	
5	Multicore SW components	Atomic instructions	Lab 5: Synchronization HW&SW	Aldec SystemC	演講
6		HW synchronization supports in multicore			演講
7		SW synchronization primitives	Lab 6: a light-weight multithreading library and applications on multicore	Aldec SystemC	
8		Pthread multithreading library			演講

三、教學資源

- 實驗所需設備規格或金額說明：

Andes Sight、Andes FPGA board、Aldec SystemC platform

四、建議教科書

自編課程與實驗教材(將提供教育部 CPU 課程發展計畫推廣使用)

五、預修課程

組合語言、計算機組織、VLSI 設計