

教育部補助智慧電子前瞻技術精進課程推廣計畫徵件須知

一、依據

教育部(以下簡稱本部)補助推動人文及科技教育先導型計畫要點(含發布令影本,詳附件1;以下簡稱本要點)。

二、目的

為鼓勵各大學校院建立我國晶片設計產業發展關鍵技術之教學能量,以強化學生實作能力,培育產業發展所需關鍵技術人才。

三、計畫期程

102年9月1日至103年8月31日。

四、補助對象

全國公私立大學校院。

五、補助課程

課程代號	課程名稱
AT-01	中文名稱：處理器設計與實作(大學部) 英文名稱：Microprocessor Design and Implementation Laboratory
AT-02	中文名稱：多核心晶片設計實作(研究所) 英文名稱：Multicore Chip Design Laboratory
AT-03	中文名稱：微感測器及感測電路設計課程(大四及研究所) 英文名稱：Design of Microsensors and Sensing Circuits

六、計畫申請原則

- (一) 以校為單位彙總提出申請,每校至多申請2案。1系所以申請1案為限,每案以申請開授2門課程為限。
- (二) 已獲本部補助「處理器設計與實作課程(AT-01)」、「多核心晶片設計實作課程(AT-02)發展計畫」及「微感測器及感測電路設計課程(AT-03)」等任一課程發展計畫之學校系所,不得申請該門獲補助課程(詳如附件2)。
- (三) 申請補助之課程名稱無須與本案補助課程名稱相同,但其授課內容應符合本案所提課程大綱,課程大綱內容請參閱附件3。另獲補助之學校系所於計畫執行期間內應至少開課試教一次。
- (四) 曾受其他機關或單位補助之項目,不得重複申請。同一計畫內容亦不得重複向本部申請補助。學校獲補助後,經查重複接受補助者,應繳回該項補助經費。

七、計畫申請方式

- (一) 於本部公告申請截止日前備妥計畫申請書(格式如附件4)乙式6份及電子檔案1份,逕送本部指定地點(詳本部公文),計畫申請提出時間以郵戳為憑,逾期不予受理。
- (二) 計畫申請書格式之電子檔,請至<http://atp.ee.nchu.edu.tw/atp.htm> 下載。
- (三) 計畫審核完畢,計畫申請書不予退還。

八、計畫經費編列支用、撥付及核結

- (一) 每案最高補助額度以新臺幣(以下同)200 萬元為原則。三門課程個別補助額度上限分別為「處理器設計與實作」(AT-01)課程以 60 萬元為限,「多核心晶片設計實作」(AT-02)課程以 120 萬元為限及「微感測器及感測電路設計」(AT-03)課程以 80 萬元為限。
- (二) 本計畫係部分補助,學校自籌經費比例不得少於計畫總經費 20%。
- (三) 本部補助相關經費編列及支用原則如下:
 - 1. 人事費
 - (1) 每案得聘兼任助理,每案補助以 36 萬 7,200 元為限(含二代健保雇主負擔補充保費),且每門課程以不超過 3 人為限。
 - (2) 本計畫不得編列主持人、協同主持人及相關教師之工作津貼。
 - 2. 業務費:每一門課程以 10 萬元為限,每案本部補助以 20 萬元為限。
 - (1) 場地費:以在學校內部辦理為原則,不得編列場地費。
 - (2) 郵費、耗材費:由雜費支應,不另行編列。
 - (3) 計算機使用費及行政管理費:本案係部分補助案,不得編列。
 - (4) 其他辦理費用:請確依「教育部補助及委辦經費核撥結報作業要點」及「教育部及所屬機關學校辦理各類會議講習訓練與研討(習)會相關管理措施及改進方案」編列支用。
 - 3. 雜費:以業務費之 6%為上限。
 - 4. 設備費:
 - (1) 以採購本專案相關教學設備為主,本部設備補助款採購之設備項目應以國內產品為優先,並不得採購一般事務性設備(如印表機、投影機、單槍投影機及實驗桌椅等)。筆記型電腦、個人電腦及工作站等設備,由學校自籌款支應。
 - (2) 設備項目應為單價在 1 萬元以上,且使用年限在 2 年以上之軟硬體設備。
- (四) 經費撥付:於核定日起四十日內檢具經費領據送本部辦理撥付核定補助額度之全數。
- (五) 經費核結:依據本部補助及委辦經費核撥結報作業要點辦理。

九、審查作業

- (一) 審查方式:由本部邀集產業界、學界及研究界相關專家學者先進行書面審,必要時得請學校簡報。
- (二) 審查內容
 - 1. 過去執行績效狀況。
 - 2. 系所在 IC/SOC 設計相關專業核心課(學)程及實驗室建置等專業教學能量是否足夠。
 - 3. 前瞻技術精進課程之規劃
 - (1) 是否足以有效培養學生跨領域應用 IC 設計。
 - (2) 實驗課程規劃是否能強化學生實作能力。
 - (3) 規劃是否可行,並為系所及學生足以負擔之規模(load)。
 - 4. 各課程師資是否妥適。
 - 5. 實驗室規劃是否符合其課程教學所需。
 - 6. 經費需求是否合理,規劃採購之設備項目是否妥適。
 - 7. 學校配合情形。

8. 預期績效是否適切。

十、成效考核

- (一) 本部得不定期實地訪查計畫運作狀況。
- (二) 獲本部補助之課程，應配合相關重點領域聯盟中心及總聯盟之管考作業，繳交成果報告及授課教材(含實作教材)，內容應包含至少 3 篇修課學生實作專題報告，並積極參與聯盟所辦理相關活動。管考作業時程將由總聯盟適時通知。
- (三) 獲本部補助之計畫應配合參加本部辦理之其他相關成果發表、競賽或展示等活動。
- (四) 受補助學校執行績效考評，得列入後續相關計畫補助經費之參考指標。

教育部補助推動人文及科技教育先導型計畫要點

中華民國 96 年 11 月 23 日臺顧字第 0960171084C 號令訂定發布
 中華民國 96 年 11 月 29 日第 3 次經費分配審議委員會通過備查
 中華民國 97 年 10 月 30 日臺顧字第 0970203910C 號令修正
 中華民國 97 年 11 月 18 日第 3 次經費分配審議委員會通過備查
 中華民國 98 年 7 月 15 日臺顧字第 0980113785C 號令修正
 中華民國 98 年 10 月 2 日臺顧字第 0980164743C 號令修正
 中華民國 98 年 11 月 26 日第 3 次經費分配審議委員會通過備查
 中華民國 99 年 12 月 7 日第 3 次經費分配審議委員會通過備查
 中華民國 100 年 1 月 13 日臺顧字第 0990225220C 號令修正第三點
 中華民國 100 年 12 月 9 日臺顧字第 1000202851C 號令修正
 中華民國 100 年 12 月 19 日第 3 次經費分配審議委員會通過備查
 中華民國 101 年 12 月 4 日第 3 次經費分配審議委員會通過備查
 中華民國 101 年 12 月 13 日臺顧字第 1010229311C 號令修正

一、目的：教育部（以下簡稱本部）為推動各專業領域或跨領域之先導性、實驗性、創新性人文及科技教育計畫，共創政府科技發展願景及目標，特訂定本要點。

二、人文及科技教育先導型計畫範圍：本要點所稱人文及科技教育先導型計畫（以下簡稱先導型計畫），指編列在本部科技教育預算項下，包括基礎科學教育、應用科技教育、人文及社會科學教育等領域，並依據本部各項科技中程個案計畫或年度綱要計畫（以下簡稱科技計畫）辦理之計畫。

三、補助對象：

（一）補助對象分為下列五類：

1. 第一類：公私立大學校院。
2. 第二類：直轄市、縣（市）政府、公私立高級中等以下學校。
3. 第三類：公立學術研究機關（構）。
4. 第四類：公立社教館所。
5. 第五類：直轄市、縣（市）政府自行辦理或其委託依法登記之財團法人或公益社團法人或大專校院辦理之社區大學。

（二）補助對象依下列科技計畫規定補助類別申請補助：

1. 科技教育業務推展	第一類、第三類
2. 轉譯醫學及農學人才培育先導型計畫	第一類
3. 能源國家型科技人才培育計畫	第一類、第二類、第四類
4. 網路通訊人才培育先導型計畫	第一類
5. 智慧電子整合性人才培育計畫	第一類
6. 資訊軟體人才培育計畫	第一類
7. 產業先進設備人才培育計畫	第一類
8. 智慧生活整合性人才培育計畫	第一類

9.未來想像與創意人才培育計畫	第一類、 第二類、 第五類
10.現代公民核心能力養成計畫	第一類
11.強化人文藝術及社會科學基礎應用人才培育計畫	第一類、 第三類
12.科學人文跨科際人才培育—大學跨領域溝通能力養成計畫	第一類
13.其他已執行完畢科技計畫之後續必要推廣事項	第一類、 第三類、 第四類

(三) 新興科技計畫補助對象，於計畫徵件之同時公告之。

四、補助重點及範圍：先導型計畫以補助研究、規劃、實驗或推動各專業領域或跨領域之人才類型、能力指標、先導課程、先導教材、前瞻教學設備及相關配套措施為重點，其範圍依各科技計畫(含執行中及其他已執行完畢科技計畫)選擇下列工作項目或策略之一或部分實施：

工作項目或策略	內容
(一) 成立計畫推動辦公室、資源中心或跨校聯盟	1. 建立計畫推動運作、支援、輔導諮詢及評估機制。 2. 整合及開發國內大專校院教學研究資源，提供共享之平臺或環境、進行跨校或產學交流、合作及服務。 3. 協助教學研究資源累積與擴散，成果推廣與評估以及達成該領域人才培育目標有效之相關措施。
(二) 人才類型、能力指標與人文及科技教育相關研究發展	1. 對專業領域或跨領域之人才類型、能力指標之規劃研究。 2. 有助於人文及科技教育政策前瞻發展、新興議題研究、績效評估等之單一或整合型計畫。
(三) 先導性課(學)程規劃改革及發展，教材、教法研究發展及推廣	1. 規劃重點領域或跨領域課(學)程。 2. 編撰發展課程教材、教學個案、手冊、專書、教材教法研究改進、成果推廣及輔導。 3. 重要經典、論文中外譯注及出版。 4. 建立並維護數位化資訊交流平臺、課程教學網頁或網路教材資料庫。
(四) 教師進修及人力資源研習	1. 種子教師培訓及研習。 2. 辦理教師研討、改進教學工作坊。 3. 其他有助於教師相關創新或專業知能之提升措施。
(五) 進用專案教學相關人員	進用配合推動計畫所需之專案教學人員及教學助理。
(六) 國際交流	1. 教師或學生赴國外參加重要會議、專題研究、研修、實習及競賽。

	2. 國外研究生或研究團隊短期來臺研究、辦理國際性學術研討會、研習營、學生研討會；邀請國外優秀學者專家來臺講學。
(七) 學術活動	1. 辦理國內或國際性競賽。 2. 配合計畫推動舉辦之全國性會議、成果發表會、工作坊、研習(討)營(會)、經典研讀及推廣。
(八) 充實教學圖書或設備	1. 充實國內外重要經典與研究工具圖書資料(包括專書、文獻、期刊、檔案、參考工具書、微縮、視聽及數位化電子資料等)之建置,並協助該主題之教學研究發展及提升為目的。 2. 充實配合課(學)程、實驗或實作課程以及特色教學實驗室所需之設備。
(九) 其他創新實驗	創新實驗制度或典範建構。

五、計畫補助期程：

(一) 配合相關科技計畫之規劃，補助期程如下：

1. 多年期計畫：全程逾一年且五年以下。除全程計畫外，應另提出年度細部執行計畫或期中執行成果報告，由本部逐年審核通過，始繼續補助下一年度辦理經費。
2. 年度型計畫：配合年度或學年度辦理，以十二個月為原則。
3. 短期計畫：未達一年。

(二) 各計畫實際執行期程，由本部於計畫徵件之同時公告之。

六、補助原則：

(一) 合於本要點計畫範圍及下列原則之一者，經審查通過後得予補助：

1. 符合本部公告之計畫徵件須知內容重點、推動目標、補助項目及策略。
2. 具有先導性、實驗性或創新性，對人文及科技人才培育及前瞻發展具正面積極影響、建立典範模式，或引導校內外相關領域教學研究推廣改良。
3. 有助於該領域教育國際接軌、提升我國國際學術聲望、整合校內外教學研究資源提供共享平臺，或增進產學合作成效。
4. 執行本部先導型計畫成效良好。
5. 其他依據計畫要求之任務、推動原則或類型，符合所定條件且計畫品質良好。

(二) 下列情形不予補助：

1. 同一計畫已向本部其他單位申請並獲補助者。
2. 過去執行人文及科技教育計畫績效不彰者。
3. 因增購或改良圖書設備所需之空間或設施。
4. 其他公告不予補助之情形。

(三) 同一事由或活動不得向本部重複申請，如有重複申請並獲補助之情事，本部得追回補助款項。

(四) 本要點以部分補助為原則。但涉及跨校整合或支援服務、人文及科技教育先導規

劃或新興議題研究及本部主動規劃具目標導向性質之計畫，得以全額補助為之。

- (五) 每案最高補助額度、補助項目及受補助單位自籌比例，由本部於計畫徵件之同時公告之。
- (六) 受補助對象為直轄市、縣(市)政府及其所屬學校者，應依中央對直轄市及縣(市)政府補助辦法及本部對直轄市及縣(市)政府計畫型補助款處理原則之規定，由直轄市、縣(市)政府自籌部分經費並督導辦理。

七、申請及審查作業：

(一) 申請作業：

1. 依本部配合科技計畫所公告之計畫徵件須知內容、作業程序及申請文件辦理，並於計畫徵件公告日起三十日內，送交計畫申請書至指定地點；以郵寄方式為之者，郵戳為憑，逾期不予受理。計畫申請書所需份數於計畫徵件時一併函知。
2. 因計畫性質所涉範圍較廣或較為複雜，或需要較長作業期程者，本部得延長申請期限。
3. 補助直轄市、縣(市)政府及其所屬學校之申請案，其計畫應經直轄市、縣(市)政府核轉本部。
4. 計畫審查完畢，計畫申請書不予退還。

(二) 審查作業：

1. 各申請案受理截止後，由本部邀集學者專家進行書面或會議審查，必要時並得邀請申請補助單位簡報。
2. 審查原則：
 - (1) 計畫整體規劃內容是否符合本部先導型計畫之目標及精神。
 - (2) 計畫主題與內容之妥適性、方法與策略可行性及預期成效。
 - (3) 計畫經費及人力之合理性。
 - (4) 計畫過去執行績效狀況。
 - (5) 其他依補助工作項目或策略所公告之審查指標。

八、經費請撥及核銷：

- (一) 獲補助之單位應於本部核定通知請款時限，依規定檢據憑撥，並於事畢一個月內，檢送成果報告及收支明細表報本部，或報本部指定之單位彙整查核後送本部；繳交期限有變動者，依本部通知辦理。
- (二) 經費支用及核銷結報，依本部補助及委辦經費核撥結報作業要點規定辦理，該要點及補助經費編列基準得自本部會計處網站之行政規則區下載。

九、成效考核：

- (一) 本部得邀請學者專家或委託學術單位進行督導及管考，並得視計畫性質辦理期中、期末報告、訪視及成果發表會，各受補助單位應配合辦理。
- (二) 計畫成果考核結果列為未來是否補助或補助增減之參考。

十、其他注意事項：

- (一) 計畫之研發成果及其智慧財產權，除經認定歸屬本部所有者外，歸屬受補助單位

所有。但受補助單位對於研發成果及其智慧財產權，應同意無償授權本部及本部所指定之人為不限時間、地域或內容之利用，著作人並應同意對本部及本部所指定之人不行使著作人格權。其他著作授權、申請專利、技術移轉及權益分配等相關事宜，由受補助單位依政府科學技術研究發展成果歸屬及運用辦法及其他相關法令規定辦理。

- (二) 計畫之研發成果不得侵害他人之智慧財產權及其他權利。如有涉及使用智慧財產權之糾紛或任何權利之侵害時，悉由受補助單位及執行人員自負法律責任。
- (三) 本要點除由申請單位考量自身資源條件提報計畫至本部審查外，本部得視計畫性質、申請及審查結果，主動邀請合適之單位提送計畫書由本部審查後核定補助之。
- (四) 專科學校得準用本要點之規定。但其申請仍應依本部公告之計畫徵件須知辦理。
- (五) 由行政院國家科學技術發展基金補助之本部人文及科技教育計畫，其執行準用本要點之規定，並依本部公告之計畫徵件須知辦理。
- (六) 其他未盡事宜及涉及各先導型計畫細部事項，依本部相關函文、計畫徵件須知或公告辦理。

智慧電子「前瞻技術精進課程計畫」 教育部補助之學校系所一覽表

學校	系所	主持人	課程主題	系所可申請本計畫補助課程數
國立成功大學	電機工程學系	陳中和	處理器與實作課程	學校至多可申請 2 案，其中電機系只可申請至多 2 個非「處理器與實作」(AT-01)之課程補助。
國立東華大學	資訊工程系	紀新洲	處理器與實作課程	學校至多可申請 2 案，其中資工系只可申請至多 2 個非「處理器與實作」(AT-01)之課程補助。
國立中正大學	資訊工程系	林泰吉	處理器與實作課程	學校至多可申請 2 案，其中資工系只可申請至多 2 個非「處理器與實作」(AT-01)之課程補助。
國立交通大學	資訊工程學系	陳添福	多核心晶片設計實作	學校至多可申請 2 案，其中電子系只可申請至多 2 個非「微感測器及感測電路設計」(AT-03)之課程補助；資工系只可申請至多 2 個非「多核心晶片設計實作」(AT-02)之課程補助。
	電子工程學系	鄭裕庭	微感測器及感測電路設計	
國立清華大學	電機工程學系	盧向成	微感測器及感測電路設計	學校至多可申請 2 案，其中電機系只可申請至多 2 個非「微感測器及感測電路設計」(AT-03)之課程補助；動力機械工程學系只可至多申請 2 個非「微感測器及感測電路設計」(AT-03)之課程補助。
	奈米工程與微系統研究所	李昇憲	微感測器及感測電路設計	
國立臺灣大學	電機工程學系	田維誠	微感測器及感測電路設計	學校至多可申請 2 案，其中電機系只可申請至多 2 個非「微感測器及感測電路設計」(AT-03)之課程補助。

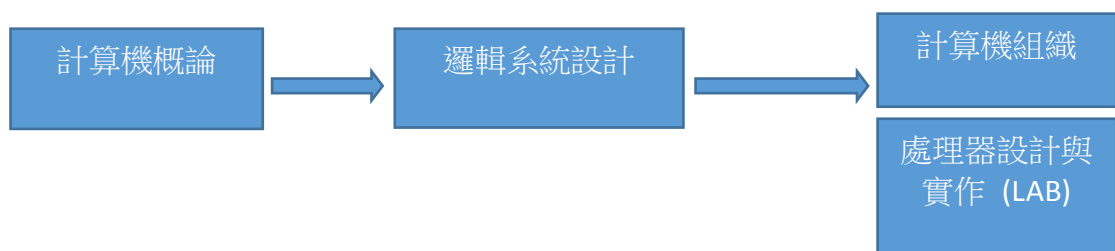
教育部智慧電子整合性人才培育計畫

「前瞻技術精進」課程內容大綱—課程編號：AT-01

課程	中文名稱：處理器設計與實作 英文名稱：Microprocessor design and implementation laboratory		
	修習年級：大學部二/三年級	每週授課時數：3 小時 每週實作時數：3 小時	學分：3 學分
課程主持人	國立成功大學電機工程系陳中和教授	聯絡方式	E-mail:chchen@mail.ncku.edu.tw Tel:06-2757575 ext 62394
課程大綱	<p>一. 內容</p> <p>本實習教材, CPULAB (NCKU),可搭配大學部計算機組織課程實施, 主要項目內容包括: 可練習 MIPS and/or ARM 組語程式、C 與組語的關係、以 C 及 Verilog 撰寫處理器功能模組、中斷程式的設計、pipelined CPU 中斷處理模組的設計、處理器系統平臺的建置(on FPGA)、AMBA 匯流排 (on FPGA)、I/O 中斷控制器系統 (on FPGA)、I/O systems (on FPGA)。本教材依教育部補助智慧電子整合性人才培育計畫「處理器設計與實作課程」與實際上課需求, 整合為十個連貫性的 LAB, 每個 LAB 內部包含範例練習與實作項目, 後者可依學生程度加以調整。本實習課教材約以講授帶範例一小時, 其餘時間由學生實作。計算機組織正課宜配合實習項目補充所需的背景知識。</p> <p>本教材(LAB1 to LAB10)提供 MIPS ISS 執行檔、MIPS pipelined processor Modelsim work 目錄檔、FPGA 檔與實驗題目的教師解答供參考使用。以上檔案可在: http://caslab.ee.ncku.edu.tw/ 下載。本教材亦同時提供 CPULAB (CCU) 與 CPULAB (NDHU)兩份講義做為輔助教材, 可以 project 方式實施。</p>		
課程大綱			
課程大綱		實驗模組	
週次	單元主題	內容綱要	實驗主題
1/2	Tools and Instruction Set Design	1. Learn to use the simulation tools and the simulators 2. Learn basic MIPS assembly programming	LAB1: Use of ISS and C2A (6 hours)
3	Instruction Set Design	C code to assembly code transform	LAB2: Describe C code in MIPS assembly (3 hours)
4	Instruction Set Implementation	Implement processor branch instruction unit.	LAB 3: SystemC Implementation of Branch Instruction Function (3 hours)
		平臺	
			PC (Linux), Modelsim, MIPS cross compiler, Java
			PC (Linux), Modelsim, MIPS cross compiler, Java
			PC (Linux), Modelsim, MIPS cross compiler, Java

5	Instruction Set Implementation	Implement processor branch instruction unit in Verilog	LAB 4: Verilog Implementation of Branch Instruction Function (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
6	Instruction Set Implementation	Implement processor ALU	LAB 5: Verilog Implementation of Arithmetic Logic Unit (ALU) (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
7/8	Processor Interrupt and System	Interrupt handler design	LAB 6: MIPS CPU Interrupts handler & ISR (3 to 6 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
9	Processor Interrupt and System	Implement pipelined processor interrupt unit	LAB 7: MIPS CPU Interrupt Unit (3 hours)	PC (Linux), Modelsim, MIPS cross compiler, Java
10/11	Processor Platform Design	Implement processor and AMBA platform in FPGA	LAB 8: Simple CPU System Platform & Memory Allocation (3 to 6 hours)	PC (Linux), Modelsim, ARM cross compiler, Xilinx XUPV5-LX110T Evaluation Platform
12/13	Processor Platform Design	Implement processor and AMBA platform in FPGA	LAB 9: Multi-Master Bus Platform & Generic I/Os (3 to 6 hours)	PC (Linux), Modelsim, ARM cross compiler, Xilinx XUPV5-LX110T Evaluation Platform
14/15	Processor Interrupt and System	Implement system interrupt service in FPGA	LAB 10: Interrupt Controller & Interrupt Service Routines on EASY Platform (3 to 6 hours)	PC (Linux), Modelsim, ARM cross compiler, Xilinx XUPV5-LX110T Evaluation Platform
16 to 18	Project LAB	Implement multi-cycle or pipelined MIPS processor in RTL or in C.	CPULAB (NDHU, CCU)	PC (Linux), Modelsim, MIPS cross compiler, Xilinx XUPV5-LX110T Evaluation Platform

二. 相關課程流程圖



三. 建議教科書

1. Computer organization and design, the hardware/software interface
D. A. Patterson and J. L. Hennessy
MIPS and/or ARM's edition
2. 自編實習教材

四. 建議評分方式

處理器設計與實作為計算機組織成績的 30%-40%.

五. 預修課程

計算機概論與邏輯系統設計

六. 實驗設備需求

1. MIPS/ARM: SDK 程式開發工具
2. Linux-based PC
3. RTL 設計: 可提供 verilog 模擬, 並能與 SystemC co-design 之設計環境
4. FPGA 板: 以能實現單核心處理器設計之中階 FPGA 平臺

教育部智慧電子整合性人才培育計畫

「前瞻技術精進」課程內容大綱—課程編號：AT-02

課 程	中文名稱：多核心晶片設計實作 英文名稱：Multicore Chip Design Laboratory		
	修習年級： 研究所(開放大學部)	每週授課時數：2 小時 每週實作時數：4 小時	學分：3 學分
課程主持人	交通大學資工所，陳添福教授	聯絡方式	E-mail:tfchen@cs.nctu.edu.tw Tel:03-5131396
	<p>課程大綱</p> <p>一. 內容</p> <p>先進多核心處理器已是目前各類智慧型裝置的關鍵性元件。國際大廠亦莫不以多核心處理器為各式產品的商業訴求。Nvidia Tegra3 與 Samsung Exynos 四多核心處理器皆已進入新一代智慧型手機系統。</p> <p>此課程係「教育部智慧電子整合性人才培育計畫-CPU 課程發展計畫」其中研究所階段的一環課程，希能訓練學生在晶片系統方面具有設計或運用處理器能力，為國內 IC 設計產業發展 multicore 關鍵性技術奠下深厚的基礎。</p> <p>此課程將以 10 項實驗模組，搭配實際應用範例介紹，提供多核心晶片設計實作各項流程介紹，期能使學生透過 ESL simulator 及 FPGA 的實作，逐步完成一組四核心處理器系統的雛形。處理器方面考慮實作可行性，我們將以國內自主設計之 Andes N8 Core 為主軸(功能類似一般 32b RISC core)，以設計實例包裝處理器核心為個別 IP，使得其他 multicore 單元設計與處理器關係盡量獨立。然後外加完成 cache 及 bus 設計，並發展簡單 cache coherence protocol 為範例，建構成 shared-memory multiprocessor，再進一步搭配必要之簡單 multithreading library 軟體，使得可執行簡單的平行程式，最後學生必須於 FPGA 板上完成完整期末 project。</p> <p>本課程實施過程中，另有邀請國內外相關領域專精的學者專家，提供專業演講，內容亦非常充實，影片將附於課程資料中。</p>		

課程主題與內容進度表

課程大綱			實驗模組		備註
週次	單元主題	內容綱要	實驗主題	參考平臺	
1	Over-view	1. SoC Overview and Development Tools 2. 32b RISC Architecture 3. 32b RISC Instruction set			
2	ESL platform	1. Code development 2. SW Debugging	Lab 1: Andes Core programming	Andes Sight	
3		High-level modeling by SystemC	Lab 2: Andes core with simple bus	Aldec SystemC platform	
4		32b CPU Core design simulation model			

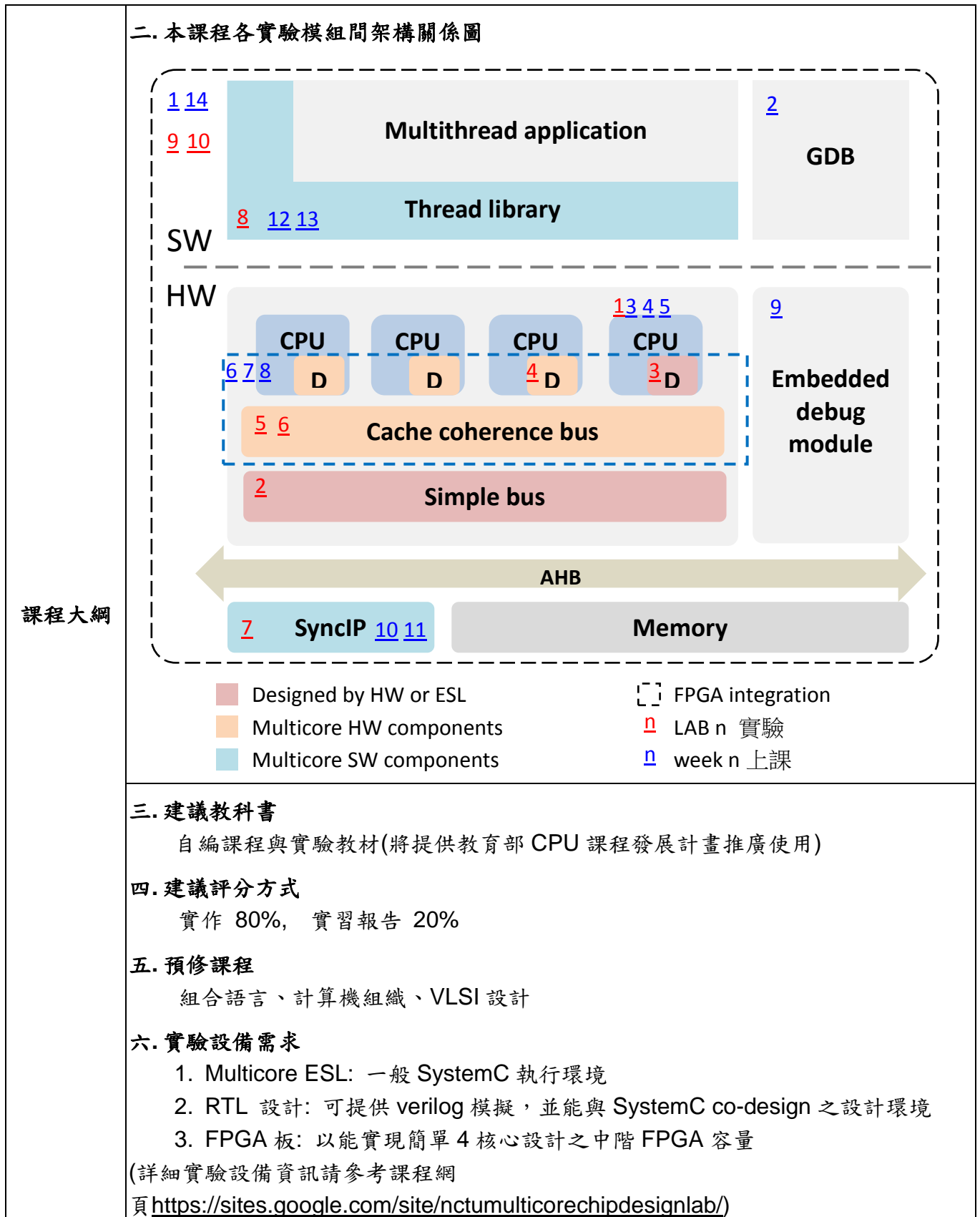
5		Cache design	Lab 3: A simple 4-core ESL with Cache design	Aldec SystemC platform	
6	Multicore HW component s	1. Inter-Core communication 2. Coherent bus	Lab 4: Cache Implementation	Aldec RTL platform	
7		1. Consistency model 2. Cache coherence	Lab 5: MI Cache Coherence Protocol	Aldec RTL platform	演講一
8		Multicore memory hierarchy			
9		1. Test access 2. System debugging	Lab 6: MSI Cache Coherence Protocol	Aldec RTL platform	
10		Multicore SW component s	Atomic instructions	Lab 7: Synchronization HW&SW	Aldec SystemC+RTL platform
11	HW synchronization supports in multicore		演講三		
12	SW synchronization primitives		Lab 8: a light-weight multithreading library	Aldec SystemC+RTL platform	
13	Pthread multithreading library				演講四
14	FPGA integration	SoC on FPGA	Lab 9: Integrate Components in Multi-core System	Andes FPGA board	演講五
15		Accessing external bus			演講六
16		Industrial Design Case 1	Lab 10: Improve Multi-core System on FPGA	Andes FPGA board	
17		Industrial Design Case 2			
18		Industrial Design Case 3			

業界專家演講 (錄影教材)

演講一	2012/10/30
演講主題	Energy-Efficiency Memory Hierarchy for Multi-core Architectures
演講者	Yen-Kuang Chen, Ph.D., IEEE Fellow Principal Engineer, Intel Corporation Associate Director, Intel-NTU CCC Center
演講二	2012/11/20
演講主題	Introduction of GPU Computing Architecture
演講者	Chien-Ping Lu, (Ph.D., Yale University), MediaTek
演講三	2012/11/28
演講主題	Heterogeneous Computing Architecture and Multimedia Framework Trend for Smartphone
演講者	Bor-Sung Liang, (Ph.D., National Chiao Tung University, Electronics Engineering), MediaTek
演講四	2012/12/11
演講主題	Multicore Programming about Barriers
演講者	Po-Yu Chuang, Marvell
演講五	2012/12/18
演講主題	Moving from AMBA AHB to AXI Bus in SoC Designs

演講者	Chung-Fu Kao, (PhD., National Sun Yat-Sen University, Electronics Engineering), Marvell
演講六	2012/12/25
演講主題	Efficient Retargetable Dynamic Binary Translation on Multi- and Many-Cores
演講者	Pen-Chung Yew, Professor, University of Minnesota, Computer Science

相關課程流程圖



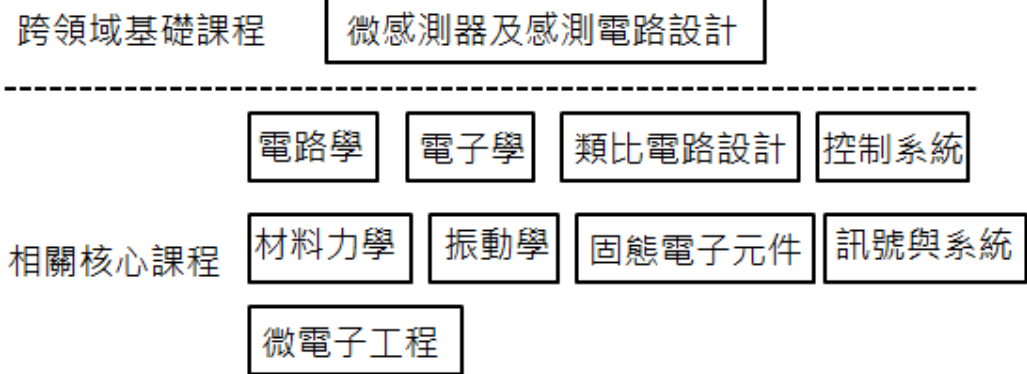
教育部智慧電子整合性人才培育計畫

「前瞻技術精進」課程內容大綱—課程編號：AT-03

課 程	中文名稱：微感測器及感測電路設計課程		
	英文名稱：Design of Microsensors and Sensing Circuits		
	修習年級：大四及研究所	每週授課時數：3 小時 每週實作時數：3 小時	學分：3 學分
課程主持人	國立清華大學電機工程學系 盧向成副教授	聯絡方式	E-mail: sclu@ee.nthu.edu.tw Tel: (03)516-2220
課程大綱	<p>一. 內容</p> <p>課程目標</p> <p>本課程目標為提供有志於朝向微感測器領域發展之研究生一個學習與實作的平臺，主要著重於微型感測器的運作原理、電路及感測結構之設計、模擬、實驗、以及了解關於各種設計的選擇與挑戰。此課程會強調感測訊號的讀取與處理，以訓練修課學生最後具備將前端物理待測量轉為最終電子訊號的能力。除了課程講解外，實驗亦佔有重要的地位，以期使修課學生具有實際的感測器操作經驗。</p> <p>課程特色</p> <p>本課程適合電機、電子、機械系及相關工程學系大學部高年級學生及研究所碩博士班修習。本課程除了介紹各種不同的感測機制(如壓阻感測、熱電感測、電容感測與壓電感測)及其所屬之微型感測器應用外，亦將使用有限元素分析軟體(如 ANSYS、Comsol、Coventor)與電路模擬軟體(Cadence、SPICE)搭配學習，以模擬未來學生就業的立即需求。本課程特別設計實作實驗，以提供修課學生一個實作演練平臺，並將整個學期的內容融會貫通。</p> <p>課程內容</p> <p>本課程之教學內容如下：</p> <ol style="list-style-type: none"> 1. 微製程介紹 (Fabrication Technology of Microsensors) (6 小時) 2. 機械感測結構之分析 (Analysis and Modeling of Mechanical Sensing Structures) (3 小時) 3. 壓阻式換能機制於感測器之應用(Piezoresistive Transduction & Sensor Application) (3 小時 + 3 小時實驗) 4. 電熱式換能機制於感測器之應用(Electro-Thermal Transduction & Sensor Application) (3 小時 + 3 小時實驗) 5. 電容式換能機制於感測器之應用(Capacitive Transduction & Sensor Application) (3 小時 + 3 小時實驗) 6. 壓電式換能機制於感測器之應用(Piezoelectric Transduction & Sensor Application) (3 小時 + 3 小時實驗) 7. 振盪式及光學式感測器 (Resonant Sensors and Optical Sensors) (3 小時) 8. 生醫及化學感測器 (Biosensors and Chemical Sensors) (3 小時) 9. 感測電路設計與訊號處理(Sensing Circuits and Signal Processing) (3 小時) 10. 感測器雜訊與干擾(Sensor Noise and Interference) (3 小時) 11. 軟性感測器製造技術 (Fabrication Technology of Flexible Sensors) (3 小時) 12. 軟性感測器應用 (Applications for Flexible Sensors) (3 小時) 13. 無線感測標籤系統 (Introduction to Wireless Sensing Tag System) (3 小時) <p>實驗內容</p>		

	<p>1. 光罩設計及微製程</p> <p>本實驗模組將配合授課內容進行膠片光罩之設計及微顯影製作。光罩之設計將以商用軟體(例如 LEDIT 或 COVENTORWARE 等)作 layout，並搭配本校半導體曝光機臺，輔以 E-Gun 蒸鍍機來進行感測晶片電極製作。並以請購之奈米研磨機來進行感測薄膜層之製備。</p> <p>2. 以有限元素分析法設計感測晶片</p> <p>本實驗模組將配合授課內容進行有限元素分析法設計感測晶片，將以商用軟體(例如 COVENTORWARE 或 ANSYS 等)進行 multi-physics 模擬感測晶片之傳感效應(例如電能轉熱能等)。</p>
課程大綱	<p>3. 壓阻式感測器實驗與量測</p> <p>本實驗將配合授課內容之主題進行規劃：傳感機制中所介紹之壓阻(Piezoresistive)感測原理將藉由一雙端固定樑型(Clamped-Clamped Beam)微機械結構內嵌一多晶矽(Polysilicon)壓阻感測器進行實際操作與量測，當微機械樑結構因外界環境變化所造成的形變將會轉化為應力應變形式而改變壓阻器的阻值，藉由電阻值的變化可以反推環境變化量而達到感測的功能；元件設計與模擬主要由壓阻式元件與應用的內容所涵蓋，製造部分將採用本實驗室於 CIC 所下線之 0.35 <small>圖程控 Post-CMOS</small> 金屬濕蝕刻製程來實現微型壓阻感測器。</p> <p>4. 電容(靜電)式感測器實驗與量測</p> <p>本實驗將配合授課內容進行規劃：傳感機制中所介紹之電容(Capacitive)感測原理將藉由一電梳式(Comb-Drive)微機械結構與其側邊電極所形成之電容感測單元進行實際操作與量測，當微機械樑結構因外界環境變化所造成的形變將會轉化為電容間空氣間隙(Air Gap)的變化，藉由此一可變電容值的變化可以反推環境變化量而達到感測的功能；元件設計與模擬主要由靜電式元件與應用內容所涵蓋，製造部分將採用本實驗室於 CIC 所下線之 0.35 <small>圖程控 Post-CMOS</small> 二氧化矽濕蝕刻製程來實現電梳式傳感器；另外此一傳感器將使用 CMOS 放大器電路作為 Readout 介面，以增加感測器輸出訊號強度與訊雜比，這部分知識將由感測電路設計與訊號處理所涵蓋。</p> <p>5. 壓電式感測器實驗與量測</p> <p>本實驗將配合授課內容進行規劃：傳感機制中所介紹之壓電(Piezoelectric)感測原理將藉由一薄膜體聲波(Thin Film Bulk Acoustic Wave)微機械結構與其所具備之壓電轉換特性進行實際操作與量測，當微機械薄膜結構因外界環境變化所造成的厚度方向形變將會轉化為電荷形式而累積於表面電極處，藉由運動電流值的變化可以反推環境變化量而達到感測的功能；元件設計與模擬主要由壓電元件與應用內容所涵蓋。實驗的元件將選購 Avago 公司所製造的薄膜體聲波共振器。</p> <p>6. 軟性電力感測器實驗與量測</p> <p>本實驗將配合授課內容進行規劃：主題所介紹之軟性元件技術中，則取以 paper 為基板作為軟性感測元件之製作，藉由法拉第原理，將適當之線圈結構設計並置於 paper 基板之上，並以噴墨列印方式製備樣品，當電器產品使用時，交流電流通過電器導線時將產生時變磁場，而該軟性線圈將可因感應磁通量改變而於線圈兩端形成感應電壓，在藉由感應電壓值的大小，可以反推導線中交流電流量之大小而達到感測的功能；元件設計與模擬主要由軟性感測元件與應用內容所涵蓋。</p> <p>7. 氣體感測器封裝及量測</p> <p>本實驗模組將配合授課內容進行氣體感測器封裝及量測。將以適當之介面感測電路及請購之感測晶片量測系統，量測暴露於待測氣體下，自製氣體感測器電性之改變。</p>

二. 相關課程流程圖



三. 建議教科書

1. "Microsystem design", Stephen D. Senturia, Kluwer Academic Publishers, 2000.
2. "Sensors and Signal Conditioning", R. Pallas-Areny and J. G. Webster, 2nd edition, John Wiley and Sons, Inc.
3. "AIP Handbook of Modern Sensors", J. Fraden, AIP, 1993.
4. "Micromachined Transducers Sourcebook", Gregory T.A. Kovacs, The McGraw-Hill, Inc., 1998.
5. "Foundation of MEMS", Chang Liu, Pearson Education Inc., 2006.
6. "Fundamentals of Microfabrication", Marc J. Madou, CRC Press, 2002.

四. 建議評分方式

實驗(20%), 考試(50%), 作業(10%), 期末報告(20%)

五. 預修課程

電子學

六. 實驗設備需求

課程大綱

1. 4-Port 網路分析儀：可量測共振式傳感器之電訊號頻率響應，包含 Single-Ended 與 Balanced Mode，頻率範圍介於數百 kHz 至數百 MHz。
2. Probe Station：使用其 RF/DC 探針提供待測元件(DUT)輸入與輸出訊號之電性連結。
3. 真空腔體與 Pump：可抽真空以排除空氣阻尼對共振器的影響，提升其 Q 值以利於實驗量測。
4. 雷射都卜勒測速儀(LDV)：可量測共振式傳感器之運動，包含速度與位移，並提供時域與頻域之運動輸出訊號，頻率範圍介於數百 kHz 至數百 MHz。
5. Power Supply：提供元件運作所需之偏壓。
6. 奈米噴墨鍍膜機：提供軟性電子感測元件製作。
7. 奈米研磨機：研磨半導體氧化物再沉積於金屬電極上，用以製作氣體感測器。